

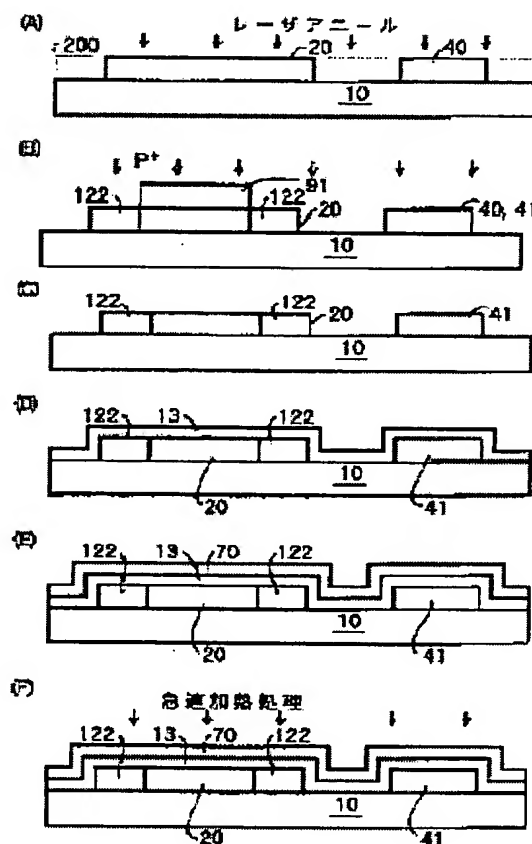
# PRODUCTION OF INTEGRATED CIRCUIT AND ACTIVE MATRIX SUBSTRATE

**Patent number:** JP10026772  
**Publication date:** 1998-01-27  
**Inventor:** MIYASAKA MITSUTOSHI  
**Applicant:** SEIKO EPSON CORP  
**Classification:**  
**- international:** G02F1/136; G02F1/1368; H01L21/336; H01L29/786;  
G02F1/13; H01L21/02; H01L29/66; (IPC1-7):  
G02F1/136; H01L21/336; H01L29/786  
**- european:**  
**Application number:** JP19960182508 19960711  
**Priority number(s):** JP19960182508 19960711

Report a data error here

## Abstract of JP10026772

**PROBLEM TO BE SOLVED:** To provide a method for producing an integrated circuit capable of activating impurities introduced in a semiconductor film in a short time and to provide a method for producing an active matrix substrate. **SOLUTION:** The production method for a TFT includes a high concentration impurities introducing process in which a semiconductor film 20 for forming a channel region and a source/drain region is formed, then is subjected to laser-annealing and, thereafter, high concentration impurities are introduced in the semiconductor film 20 before formation of a gate electrode on the upper layer side of the semiconductor film 20, a light absorbing film formation process in which a light absorbing film 70 is formed on a surface side of a gate insulating film 13 and a rapid heat-treating process in which a rapid heat-treatment is executed to the semiconductor film 20.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-26772

(43) 公開日 平成10年(1998) 1月27日

(51) Int. Cl. <sup>6</sup>	識別記号	F I		
G02F 1/136	500	G02F 1/136	500	
H01L 29/786		H01L 29/78	616	A
21/336			617	M
			617	S
			617	U
審査請求 未請求 請求項の数25 O L (全22頁) 最終頁に続く				

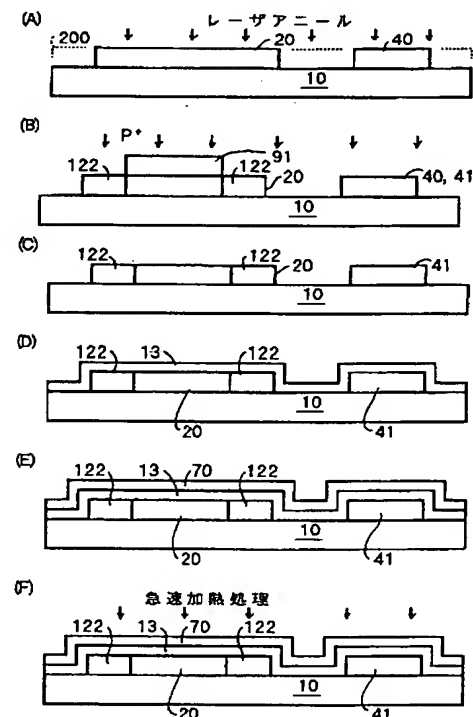
(21) 出願番号	特願平8-182508	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成8年(1996) 7月11日	(72) 発明者	宮坂 光敏 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74) 代理人	弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 集積回路およびアクティブマトリクス基板の製造方法

(57) 【要約】

【課題】 半導体膜に導入した不純物を短時間で活性化することのできる集積回路の製造方法、およびアクティブマトリクス基板の製造方法を提供することにある。

【解決手段】 TFTを製造するにあたって、チャンネル領域17およびソース・ドレイン領域を形成するための半導体膜20、200を形成した以降、それにレーザアニールを行い、しかる後に半導体膜20の上層側にゲート電極を形成する前に、半導体膜20に高濃度の不純物を導入する高濃度不純物導入工程と、ゲート絶縁膜13の表面側に光吸収膜70を形成する光吸収膜形成工程と、半導体膜20に急速加熱処理を施す急速加熱処理工程とを行う。



## 【特許請求の範囲】

【請求項 1】 基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続する高濃度ソース・ドレイン領域を備える薄膜トランジスタを有する集積回路の製造方法において、前記高濃度ソース・ドレイン領域を形成するための半導体膜を形成した以降、該半導体膜の上層側に前記ゲート電極を形成する前に、前記半導体膜に高濃度不純物を導入する高濃度不純物導入工程と、

前記半導体膜の表面に形成した前記ゲート絶縁膜の表面に光吸収膜を形成する光吸収膜形成工程と、前記半導体膜に急速加熱処理を施す急速加熱処理工程とを行うことを特徴とする集積回路の製造方法。

【請求項 2】 基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続する高濃度ソース・ドレイン領域を備える薄膜トランジスタを有する集積回路の製造方法において、前記高濃度ソース・ドレイン領域を形成するための半導体膜を形成した後、該半導体膜を結晶化する結晶化工程を行い、該結晶化工程を行った以降、該半導体膜の上層側に前記ゲート電極を形成する前に、前記半導体膜に高濃度不純物を導入する高濃度不純物導入工程と、

前記半導体膜の表面に形成した前記ゲート絶縁膜の表面に光吸収膜を形成する光吸収膜形成工程と、前記半導体膜に急速加熱処理を施す急速加熱処理工程とを行うことを特徴とする集積回路の製造方法。

【請求項 3】 請求項 1 または 2 において、前記高濃度不純物導入工程では、前記薄膜トランジスタがオフセットゲート構造となるように前記半導体膜のうち前記ゲート電極の端部に対峙する部分を避けて高濃度不純物を導入することを特徴とする集積回路の製造方法。

【請求項 4】 請求項 1 または 2 において、前記高濃度不純物導入工程では、前記薄膜トランジスタが LDD 構造となるように前記半導体膜のうち前記ゲート電極の端部に対峙する部分を避けて高濃度不純物を導入し、前記ゲート電極を形成した以降に、前記ゲート電極をマスクとして前記半導体膜に対して低濃度不純物を導入する低濃度不純物導入工程を行うことを特徴とする集積回路の製造方法。

【請求項 5】 請求項 1 ないし 4 のいずれかにおいて、前記急速加熱処理工程を行った以降、前記ゲート電極を形成する前に、前記光吸収膜を除去する光吸収膜除去工程と、前記ゲート絶縁膜の表面に導電膜を形成する導電膜形成工程とを行い、しかる後に前記導電膜をパターニングして前記ゲート電極を形成することを特徴とする集積回路の製造方法。

【請求項 6】 請求項 1 ないし 4 のいずれかにおいて、前記光吸収膜として導電性を有する膜を用いるとともに

に、前記急速加熱処理工程を行った以降、前記ゲート電極を形成する前に、前記光吸収膜の表面に導電膜を形成する導電膜形成工程を行い、

しかる後に前記導電膜および前記光吸収膜をパターニングして前記ゲート電極を形成することを特徴とする集積回路の製造方法。

【請求項 7】 請求項 1 ないし 4 のいずれかにおいて、前記光吸収膜として導電性を有する膜を用い、前記急速加熱処理工程を行った以降、前記光吸収膜をパターニングして前記ゲート電極を形成することを特徴とする集積回路の製造方法。

【請求項 8】 請求項 1 ないし 7 のいずれかにおいて、前記基板上に、前記高濃度ソース・ドレイン領域と同時に形成された下層側電極、前記ゲート絶縁膜と同時に形成された誘電体膜、および前記ゲート電極と同時に形成された上層側電極を備える容量素子を形成するにあたっては、該容量素子の側に対しても、前記光吸収膜形成工程では前記誘電体膜の表面側に光吸収膜を形成し、前記急速加熱処理工程では前記下層側電極を構成する半導体膜に急速加熱処理を施すことを特徴とする集積回路の製造方法。

【請求項 9】 基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続する高濃度ソース・ドレイン領域を備える薄膜トランジスタを有する集積回路の製造方法において、前記高濃度ソース・ドレイン領域を形成するための半導体膜を形成した以降、該半導体膜の上層側に前記ゲート電極を形成する前に、前記半導体膜に高濃度不純物を導入する高濃度不純物導入工程と、

前記半導体膜の表面に形成した前記ゲート絶縁膜の表面に光反射膜を形成する光反射膜形成工程と、前記基板の裏面側から光照射を行って前記半導体膜に急速加熱処理を施す急速加熱処理工程とを行うことを特徴とする集積回路の製造方法。

【請求項 10】 基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続する高濃度ソース・ドレイン領域を備える薄膜トランジスタを有する集積回路の製造方法において、前記高濃度ソース・ドレイン領域を形成するための半導体膜を形成した後、該半導体膜を結晶化する結晶化工程を行い、該結晶化工程を行った以降、該半導体膜の上層側に前記ゲート電極を形成する前に、前記半導体膜に高濃度不純物を導入する高濃度不純物導入工程と、

前記半導体膜の表面に形成した前記ゲート絶縁膜の表面に光反射膜を形成する光反射膜形成工程と、前記基板の裏面側から光照射を行って前記半導体膜に急速加熱処理を施す急速加熱処理工程とを行うことを特徴とする集積回路の製造方法。

【請求項 11】 請求項 9 または 10 において、前記高

濃度不純物導入工程では、前記薄膜トランジスタがオフセットゲート構造となるように前記半導体膜のうち前記ゲート電極の端部に対峙する部分を避けて高濃度不純物を導入することを特徴とする集積回路の製造方法。

【請求項 1 2】 請求項 9 または 1 0 において、前記高濃度不純物導入工程では、前記薄膜トランジスタが L D D 構造となるように前記半導体膜のうち前記ゲート電極の端部に対峙する部分を避けて高濃度不純物を導入し、前記ゲート電極を形成した以降に、前記ゲート電極をマスクとして前記半導体膜に対して低濃度不純物を導入する低濃度不純物導入工程を行うことを特徴とする集積回路の製造方法。

【請求項 1 3】 請求項 9 ないし 1 2 のいずれかにおいて、前記急速加熱処理工程を行った以降、前記ゲート電極を形成する前に、前記光反射膜を除去する光反射膜除去工程と、前記ゲート絶縁膜の表面に導電膜を形成する導電膜形成工程とを行い、しかる後に前記導電膜をパターニングして前記ゲート電極を形成することを特徴とする集積回路の製造方法。

【請求項 1 4】 請求項 9 ないし 1 2 のいずれかにおいて、前記光反射膜として導電性を有する膜を用いるとともに、前記急速加熱処理工程を行った以降、前記ゲート電極を形成する前に、前記光反射膜の表面に導電膜を形成する導電膜形成工程を行い、しかる後に前記導電膜および前記光反射膜をパターニングして前記ゲート電極を形成することを特徴とする集積回路の製造方法。

【請求項 1 5】 請求項 9 ないし 1 2 のいずれかにおいて、前記光反射膜として導電性を有する膜を用い、前記急速加熱処理工程を行った以降、前記光反射膜をパターニングして前記ゲート電極を形成することを特徴とする集積回路の製造方法。

【請求項 1 6】 請求項 9 ないし 1 5 のいずれかにおいて、前記基板上に、前記高濃度ソース・ドレイン領域と同時に形成された下層側電極、前記ゲート絶縁膜と同時に形成された誘電体膜、および前記ゲート電極と同時に形成された上層側電極を備える容量素子を形成するにあたっては、

該容量素子の側に対しても、前記光反射膜形成工程では前記誘電体膜の表面側に光反射膜を形成し、前記急速加熱処理工程では前記下層側電極を構成する半導体膜に急速加熱処理を施すことを特徴とする集積回路の製造方法。

【請求項 1 7】 基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続する高濃度ソース・ドレイン領域を備える薄膜トランジスタを有する集積回路の製造方法において、前記高濃度ソース・ドレイン領域を形成するための半導体膜を形成した以降、該半導体膜の上層側に前記ゲート電極を形成する前に、

前記半導体膜に高濃度不純物を導入する高濃度不純物導

入工程と、

前記半導体膜の表面に形成した前記ゲート絶縁膜の表面に光吸収膜および光反射膜を順次形成する光吸収膜・光反射膜形成工程と、

前記基板の裏面側から光照射を行って前記半導体膜に急速加熱処理を施す急速加熱処理工程とを行うことを特徴とする集積回路の製造方法。

【請求項 1 8】 基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続する高濃度ソース・ドレイン領域を備える薄膜トランジスタを有する集積回路の製造方法において、前記高濃度ソース・ドレイン領域を形成するための半導体膜を形成した後、該半導体膜を結晶化する結晶化工程を行い、該結晶化工程を行った以降、該半導体膜の上層側に前記ゲート電極を形成する前に、前記半導体膜に高濃度不純物を導入する高濃度不純物導入工程と、

前記半導体膜の表面に形成した前記ゲート絶縁膜の表面に光吸収膜および光反射膜を順次形成する光吸収膜・光反射膜形成工程と、

前記基板の裏面側から光照射を行って前記半導体膜に急速加熱処理を施す急速加熱処理工程とを行うことを特徴とする集積回路の製造方法。

【請求項 1 9】 請求項 1 7 または 1 8 において、前記高濃度不純物導入工程では、前記薄膜トランジスタがオフセットゲート構造となるように前記半導体膜のうち前記ゲート電極の端部に対峙する部分を避けて高濃度不純物を導入することを特徴とする集積回路の製造方法。

【請求項 2 0】 請求項 1 8 または 1 9 において、前記高濃度不純物導入工程では、前記薄膜トランジスタが L D D 構造となるように前記半導体膜のうち前記ゲート電極の端部に対峙する部分を避けて高濃度不純物を導入し、

前記ゲート電極を形成した以降に、前記ゲート電極をマスクとして前記半導体膜に対して低濃度不純物を導入する低濃度不純物導入工程を行うことを特徴とする集積回路の製造方法。

【請求項 2 1】 請求項 1 7 ないし 2 0 のいずれかにおいて、前記急速加熱処理工程を行った以降、前記ゲート電極を形成する前に、前記光吸収膜および前記光反射膜を除去する光吸収膜・反射膜除去工程と、前記ゲート絶縁膜の表面に導電膜を形成する導電膜形成工程とを行い、

しかる後に前記導電膜をパターニングして前記ゲート電極を形成することを特徴とする集積回路の製造方法。

【請求項 2 2】 請求項 1 7 ないし 2 0 のいずれかにおいて、前記光吸収膜および前記光反射膜として導電性を有する膜を用いるとともに、前記急速加熱処理工程を行った以降、前記ゲート電極を形成する前に、前記光反射膜の表面に導電膜を形成する導電膜形成工程を行い、

10

20

30

40

50

しかる後に前記導電膜、前記光反射膜、および前記光吸収膜をパターンニングして前記ゲート電極を形成することを特徴とする集積回路の製造方法。

【請求項 2 3】 請求項 1 7 ないし 2 0 のいずれかにおいて、前記光吸収膜および前記光反射膜として導電性を有する膜を用い、前記急速加熱処理工程を行った以降、前記光吸収膜および前記光反射膜をパターンニングして前記ゲート電極を形成することを特徴とする集積回路の製造方法。

【請求項 2 4】 請求項 1 7 ないし 2 3 のいずれかにおいて、前記基板に、前記高濃度ソース・ドレイン領域と同時に形成された下層側電極、前記ゲート絶縁膜と同時に形成された誘電体膜、および前記ゲート電極と同時に形成された上層側電極を備える容量素子を形成するにあつては、

該容量素子の側に対しても、前記光吸収膜・光反射膜形成工程では前記誘電体膜の表面側に前記光吸収膜および前記光反射膜を形成し、前記急速加熱処理工程では前記下層側電極を構成する半導体膜に急速加熱処理を施すことを特徴とする集積回路の製造方法。

【請求項 2 5】 請求項 1 ないし 2 4 のいずれかに規定する集積回路の製造方法を用いたことを特徴とする液晶表示装置用のアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、薄膜トランジスタ（以下、T F T という。）を有する集積回路の製造方法、および液晶表示装置用のアクティブマトリクス基板の製造方法に関するものである。更に詳しくは、これらの製造方法において半導体膜に高濃度で導入した不純物の活性化技術に関するものである。

【0 0 0 2】

【従来の技術】 集積回路、たとえば液晶表示装置のアクティブマトリクス基板では、ガラス基板上の各画素毎にアクティブ素子として T F T が形成されている。また、各画素には容量素子（保持容量）が形成されることもあり、これら容量素子および T F T は従来、図 1 8 および図 1 9 に示す工程を経て製造される。まず、図 1 8

( A ) に示すように、透明なガラス製の基板 1 0 の表面にシリコン膜からなる半導体膜 2 0 0 を形成した後、それをパターンニングして島状の半導体膜 2 0、4 0 を形成する。半導体膜 2 0、4 0 は、それぞれ T F T および容量素子を構成するためのものである。この工程では半導体膜 2 0、4 0 に対してレーザアニールなどを行い結晶化を図ることもある。次に図 1 8 ( B ) に示すように、半導体膜 2 0、4 0 の表面にゲート絶縁膜 1 3 を形成した後、図 1 8 ( B ) に示すように半導体膜 2 0 の方をレジストマスク 9 7 で覆い、半導体膜 4 0 にリンイオンを導入する。その結果、容量素子の下層側電極 4 1 が形成される。次に図 1 8 ( D ) に示すように、タンタル膜な

どの導電膜 6 1 を形成した後、図 1 8 ( E ) に示すようにレジストマスク 9 8 を形成して、図 1 8 ( F ) に示すように導電膜 6 1 をパターンニングし、ゲート電極 1 5 および容量素子 C a p の上層側電極 4 2 を形成する。この容量素子 C a p ではゲート絶縁膜 1 3 と同時形成された絶縁膜が誘電体膜である。次に図 1 9 ( A ) に示すように、ゲート電極 1 5 を広めに覆うレジストマスク 9 9 を形成した後、半導体膜 2 0 に高濃度のリンイオンを導入して高濃度ソース・ドレイン領域 1 2 2 を形成した後、図 1 9 ( B ) に示すようにゲート電極 1 5 をマスクとして低濃度のリンイオンを導入して低濃度ソース・ドレイン領域 1 2 1 を形成する。このとき不純物が導入されなかった部分がチャネル領域 1 7 となり、ソース・ドレイン領域 1 2 のうちゲート電極 1 5 に対峙する部分に低濃度ソース・ドレイン領域 1 2 1 を備える L D D 構造の T F T が形成される。

【0 0 0 3】 但し、半導体膜 2 0、4 0 に導入した高濃度不純物はそのままでは活性化しておらず、高濃度ソース・ドレイン領域 1 2 2 などの抵抗値が高いので、従来は、高濃度不純物の導入を終えた以降、たとえば層間絶縁膜を形成した後に、基板 1 0 を炉内に入れて熱処理を行っている。

【0 0 0 4】

【発明が解決しようとする課題】 しかしながら従来のように、半導体膜 2 0、4 0 に導入した不純物を活性化するのに炉内で熱処理を行う方法では、処理時間が長いという問題点がある。すなわち、基板 1 0 としてガラス基板を用いている場合には、基板 1 0 に割れや歪みが発生しないように加熱温度を低く設定せざるを得ないため、加熱温度が低い分、熱処理時間が長くなってしまふ。

【0 0 0 5】 以上の問題点に鑑みて、本発明の課題は、半導体膜に導入した不純物を短時間で活性化することのできる集積回路の製造方法、およびアクティブマトリクス基板の製造方法を提供することにある。

【0 0 0 6】

【課題を解決するための手段】 上記課題を解決するために、本発明では、基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続する高濃度ソース・ドレイン領域を備える薄膜トランジスタを有する集積回路の製造方法において、高濃度不純物を導入した半導体膜に対して急速加熱処理を行う際には光吸収膜を利用することを特徴とする。

【0 0 0 7】 すなわち、前記高濃度ソース・ドレイン領域を形成するための半導体膜を形成した以降、該半導体膜の上層側に前記ゲート電極を形成する前に、前記半導体膜に高濃度不純物を導入する高濃度不純物導入工程と、前記半導体膜の表面に形成した前記ゲート絶縁膜の表面に光吸収膜を形成する光吸収膜形成工程と、前記半導体膜に急速加熱処理を施す急速加熱処理工程とを行う

ことを特徴とする。

【 0 0 0 8 】本発明では高濃度の不純物を導入した半導体膜を急速加熱処理工程によって活性化するため、長い時間のかかる炉内での熱処理を行う必要がない。また、急速加熱処理工程は、炉内での熱処理に比較して高温になる分、熱処理の効果が高い。この場合でも基板は局部的に加熱されていくだけであるので、基板には割れや歪みなどが発生しない。また、本発明では急速加熱処理工程によって不純物を活性化する際には、ゲート絶縁膜の表面に光吸収膜を形成してあるので、アークランプからの光によって半導体膜は効率よく加熱される。しかも、光吸収膜は基板表面の全体に形成されているため、パターニング後の半導体膜に急速加熱処理を行うといっても、各半導体膜はパターン密度の影響を受けることなく均一に処理される。また急速加熱処理によって、ゲート絶縁膜は焼き締めされて緻密化し、かつゲート絶縁膜ではシリコン原子と酸素原子との結合が弱くて不安定な状態から強くて安定な状態となる。しかもゲート絶縁膜では禁制帯中の電子やホールに対するトラップ準位が減少するので、T F T の耐電圧などが向上する。

【 0 0 0 9 】本発明では前記高濃度ソース・ドレイン領域を形成するための半導体膜を形成した後、該半導体膜を結晶化する結晶化工程を行い、該結晶化工程を行った以降、該半導体膜の上層側に前記ゲート電極を形成する前に、前記半導体膜に高濃度不純物を導入する高濃度不純物導入工程と、前記半導体膜の表面に形成した前記ゲート絶縁膜の表面に光吸収膜を形成する光吸収膜形成工程と、前記半導体膜に急速加熱処理を施す急速加熱処理工程とを行うことが好ましい。

【 0 0 1 0 】このように構成すると急速加熱処理と結晶化工程との相乗効果により半導体膜の膜質が向上する。すなわち、先に行った結晶化工程によって半導体膜中に生じるストレスはこの急速加熱処理工程で解放され、結晶の完全性が高まる。併せて結晶粒と結晶粒との間にわずかに存在する非結晶部分が結晶化するため、半導体膜の結晶化率が高まる。また、微小結晶は再結晶化して大きな結晶に成長し、結晶粒界を減少させる。

【 0 0 1 1 】本発明において前記高濃度不純物導入工程では、前記薄膜トランジスタがオフセットゲート構造となるように前記半導体膜のうち前記ゲート電極の端部に対峙する部分を避けて高濃度不純物を導入する。また、前記高濃度不純物導入工程では、前記薄膜トランジスタが L D D 構造となるように前記半導体膜のうち前記ゲート電極の端部に対峙する部分を避けて高濃度不純物を導入し、前記ゲート電極を形成した以降に、前記ゲート電極をマスクとして前記半導体膜に対して低濃度不純物を導入する低濃度不純物導入工程を行ってもよい。

【 0 0 1 2 】本発明では前記急速加熱処理工程を行った以降、前記ゲート電極を形成する前に、前記光吸収膜を除去する光吸収膜除去工程と、前記ゲート絶縁膜の表面

に導電膜を形成する導電膜形成工程とを行い、しかる後に前記導電膜をパターニングして前記ゲート電極を形成してもよい。

【 0 0 1 3 】本発明では前記光吸収膜として導電性を有する膜を用いるとともに、前記急速加熱処理工程を行った以降、前記ゲート電極を形成する前に、前記光吸収膜の表面に導電膜を形成する導電膜形成工程を行い、しかる後に前記導電膜および前記光吸収膜をパターニングして前記ゲート電極を形成してもよい。

【 0 0 1 4 】本発明では前記光吸収膜として導電性を有する膜を用い、前記急速加熱処理工程を行った以降、前記光吸収膜をパターニングして前記ゲート電極を形成してもよい。

【 0 0 1 5 】上記のいずれの場合でも前記基板上に、前記高濃度ソース・ドレイン領域と同時形成された下層側電極、前記ゲート絶縁膜と同時形成された誘電体膜、および前記ゲート電極と同時形成された上層側電極を備える容量素子を形成するにあたっては、該容量素子の側に対しても、前記光吸収膜形成工程では前記誘電体膜の表面側に光吸収膜を形成し、前記急速熱処理工程では前記下層側電極を構成する半導体膜に急速加熱処理を施すことが好ましい。

【 0 0 1 6 】本発明の別の形態では、基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続する高濃度ソース・ドレイン領域を備える薄膜トランジスタを有する集積回路の製造方法において、高濃度不純物を導入した半導体膜に対して急速加熱処理を行う際には光反射膜を利用することを特徴とする。

【 0 0 1 7 】すなわち、前記高濃度ソース・ドレイン領域を形成するための半導体膜を形成した以降、該半導体膜の上層側に前記ゲート電極を形成する前に、前記半導体膜に高濃度不純物を導入する高濃度不純物導入工程と、前記半導体膜の表面に形成した前記ゲート絶縁膜の表面に光反射膜を形成する光反射膜形成工程と、前記基板の裏面側から光照射を行って前記半導体膜に急速加熱処理を施す急速加熱処理工程とを行うことを特徴とする。

【 0 0 1 8 】本発明でも高濃度の不純物を導入した半導体膜を急速加熱処理工程によって活性化するため、長い時間のかかる炉内での熱処理を行う必要がないなどの利点がある。また、本発明では急速加熱処理工程によって不純物を活性化する際には、ゲート絶縁膜の表面に光反射膜を形成してあるので、アークランプからの光によって半導体膜は効率よく加熱される。しかも、光反射膜は基板表面の全体に形成されているため、パターニング後の半導体膜に急速加熱処理を行うといっても各半導体膜はパターン密度の影響を受けることなく均一に処理される。さらに、ゲート絶縁膜の緻密化を図ることができる。



【 0 0 1 9 】 本発明では前記高濃度ソース・ドレイン領域を形成するための半導体膜を形成した後、該半導体膜を結晶化する結晶化工程を行い、該結晶化工程を行った以降、該半導体膜の上層側に前記ゲート電極を形成する前に、前記半導体膜に高濃度不純物を導入する高濃度不純物導入工程と、前記半導体膜の表面に形成した前記ゲート絶縁膜の表面に光反射膜を形成する光反射膜形成工程と、前記基板の裏面側から光照射を行って前記半導体膜に急速加熱処理を施す急速加熱処理工程とを行うことが好ましい。このように構成すると、前述のとおり、急速加熱処理と結晶化工程との相乗効果により半導体膜の膜質が向上する。

【 0 0 2 0 】 本発明において前記高濃度不純物導入工程では、前記薄膜トランジスタがオフセットゲート構造となるように前記半導体膜のうち前記ゲート電極の端部に対峙する部分を避けて高濃度不純物を導入する。また前記高濃度不純物導入工程では、前記薄膜トランジスタが L D D 構造となるように前記半導体膜のうち前記ゲート電極の端部に対峙する部分を避けて高濃度不純物を導入し、前記ゲート電極を形成した以降に、前記ゲート電極をマスクとして前記半導体膜に対して低濃度不純物を導入する低濃度不純物導入工程を行ってもよい。

【 0 0 2 1 】 本発明において前記急速加熱処理工程を行った以降、前記ゲート電極を形成する前に、前記光反射膜を除去する光反射膜除去工程と、前記ゲート絶縁膜の表面に導電膜を形成する導電膜形成工程とを行い、しかる後に前記導電膜をパターニングして前記ゲート電極を形成してもよい。

【 0 0 2 2 】 本発明において前記光反射膜として導電性を有する膜を用いるとともに、前記急速加熱処理工程を行った以降、前記ゲート電極を形成する前に、前記光反射膜の表面に導電膜を形成する導電膜形成工程を行い、しかる後に前記導電膜および前記光反射膜をパターニングして前記ゲート電極を形成してもよい。

【 0 0 2 3 】 本発明において前記光反射膜として導電性を有する膜を用い、前記急速加熱処理工程を行った以降、前記光反射膜をパターニングして前記ゲート電極を形成してもよい。

【 0 0 2 4 】 上記のいずれの場合でも前記基板上に、前記高濃度ソース・ドレイン領域と同時に形成された下層側電極、前記ゲート絶縁膜と同時に形成された誘電体膜、および前記ゲート電極と同時に形成された上層側電極を備える容量素子を形成するにあたっては、該容量素子の側に対しても、前記光反射膜形成工程では前記誘電体膜の表面側に光反射膜を形成し、前記急速加熱処理工程では前記下層側電極を構成する半導体膜に急速加熱処理を施すことが好ましい。

【 0 0 2 5 】 本発明のさらに別の形態では、基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャンネル領域、および該チャンネル領域に接続する

高濃度ソース・ドレイン領域を備える薄膜トランジスタを有する集積回路の製造方法において、高濃度不純物を導入した半導体膜に対して急速加熱処理を行う際には光吸収膜および光反射膜を利用することを特徴とする。

【 0 0 2 6 】 すなわち、前記高濃度ソース・ドレイン領域を形成するための半導体膜を形成した以降、該半導体膜の上層側に前記ゲート電極を形成する前に、前記半導体膜に高濃度不純物を導入する高濃度不純物導入工程と、前記半導体膜の表面に形成した前記ゲート絶縁膜の表面に光吸収膜および光反射膜を順次形成する光吸収膜・光反射膜形成工程と、前記基板の裏面側から光照射を行って前記半導体膜に急速加熱処理を施す急速加熱処理工程とを行うことを特徴とする。

【 0 0 2 7 】 本発明でも高濃度の不純物を導入した半導体膜を急速加熱処理工程によって活性化するため、長い時間のかかる炉内での熱処理を行う必要がないなどの利点がある。また、本発明では急速加熱処理工程によって不純物を活性化する際には、ゲート絶縁膜の表面に光吸収膜および光反射膜を形成してあるので、アークランプからの光によって半導体膜は効率よく加熱される。しかも、光吸収膜および光反射膜は基板表面の全体に形成されているため、パターニング後の半導体膜に急速加熱処理を行うといっても各半導体膜はパターン密度の影響を受けることなく均一に処理される。さらに、ゲート絶縁膜の緻密化を図ることができる。

【 0 0 2 8 】 本発明では前記チャネル領域および前記高濃度ソース・ドレイン領域を形成するための半導体膜を形成した後、該半導体膜を結晶化する結晶化工程を行い、該結晶化工程を行った以降、該半導体膜の上層側に前記ゲート電極を形成する前に、前記半導体膜に高濃度不純物を導入する高濃度不純物導入工程と、前記半導体膜の表面に形成した前記ゲート絶縁膜の表面に光吸収膜および光反射膜を順次形成する光吸収膜・光反射膜形成工程と、前記基板の裏面側から光照射を行って前記半導体膜に急速加熱処理を施す急速加熱処理工程とを行うことが好ましい。このように構成すると、前述のとおり、急速加熱処理と結晶化工程との相乗効果により半導体膜の膜質が向上する。

【 0 0 2 9 】 本発明において前記高濃度不純物導入工程では、前記薄膜トランジスタがオフセットゲート構造となるように前記半導体膜のうち前記ゲート電極の端部に対峙する部分を避けて高濃度不純物を導入する。また前記高濃度不純物導入工程では、前記薄膜トランジスタが L D D 構造となるように前記半導体膜のうち前記ゲート電極の端部に対峙する部分を避けて高濃度不純物を導入し、前記ゲート電極を形成した以降に、前記ゲート電極をマスクとして前記半導体膜に対して低濃度不純物を導入する低濃度不純物導入工程を行ってもよい。

【 0 0 3 0 】 本発明において前記急速加熱処理工程を行った以降、前記ゲート電極を形成する前に、前記光吸収

膜および前記光反射膜を除去する光吸収膜・反射膜除去工程と、前記ゲート絶縁膜の表面に導電膜を形成する導電膜形成工程とを行い、しかる後に前記導電膜をパターンニングして前記ゲート電極を形成してもよい。

【0031】本発明において前記光吸収膜および前記光反射膜として導電性を有する膜を用いるとともに、前記急速加熱処理工程を行った以降、前記ゲート電極を形成する前に、前記光反射膜の表面に導電膜を形成する導電膜形成工程を行い、しかる後に前記導電膜、前記光反射膜、および前記光吸収膜をパターンニングして前記ゲート電極を形成してもよい。

【0032】本発明において前記光吸収膜および前記光反射膜として導電性を有する膜を用い、前記急速加熱処理工程を行った以降、前記光吸収膜および前記光反射膜をパターンニングして前記ゲート電極を形成してもよい。

【0033】上記のいずれの場合でも前記基板上に、前記高濃度ソース・ドレイン領域と同時に形成された下層側電極、前記ゲート絶縁膜と同時に形成された誘電体膜、および前記ゲート電極と同時に形成された上層側電極を備える容量素子を形成するにあたっては、該容量素子の側に対して、前記光吸収膜・光反射膜形成工程では前記誘電体膜の表面側に前記光吸収膜および前記反射膜を形成し、前記急速加熱処理工程では前記下層側電極を構成する半導体膜に急速加熱処理を施すことが好ましい。

【0034】上記の各発明は液晶表示装置用のアクティブマトリクス基板を製造するのに適している。

【0035】

【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。以下に説明する各形態のいずれにおいても、基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続するソース・ドレイン領域を備えるTFTを有する集積回路を製造する点では共通する。従って、いずれの形態においても、従来のTFTと共通する機能を有する部分については同じ符号を付してある。

【0036】実施の形態1ないし3は、急速加熱処理を行う際に光吸収膜を利用するものであり、これらの形態については、図1ないし8を参照して説明する。

【0037】実施の形態4は急速加熱処理を行う際に光反射膜を利用するものであり、その代表的な一例を図9、10を参照して説明する。

【0038】実施の形態5は急速加熱処理を行う際に光吸収膜および光反射膜の双方を利用するものであり、その代表的な一例を図11、12を参照して説明する。

【0039】〔実施の形態1〕本発明では、まず図1(A)に示すように、ガラス製の基板10の表面にシリコン膜からなる半導体膜200を形成した後、それをパターンニングして島状の半導体膜20、40を形成する。

【0040】この工程では、TFTのチャネル領域などを構成するための半導体膜200、あるいはそれをパタ

ーニングした島状の半導体膜20にレーザアニールや急速加熱処理などといった結晶化工程を併せて行うことが好ましい。最初に形成した半導体膜200が非晶質、または非晶質と微結晶とが混在する混晶質であれば、この工程は結晶化工程と称せられる。これに対して、最初に形成した半導体膜200が多結晶質であれば、この工程は再結晶化工程と称せられる。本願明細書ではいずれの場合も結晶化工程と表す。この工程においてレーザ光などのエネルギー強度が高ければ、結晶化の際に半導体膜200は一度溶融し冷却固化過程を経て結晶化（溶融結晶化）する。これに対して半導体膜200の結晶化を溶融せずに固相にて進める方法を固相成長法（SPC法）と称する。固相成長法は、550℃程度から650℃程度の温度で数時間から数十時間をかけて結晶化をすすめる熱処理法（Furnance-SPC法）と、一秒未満から一分程度の短時間で700℃から1000℃の温度で結晶化をすすめる急速加熱処理法（RTA法）と、およびレーザ光等のエネルギー強度が低いときに生じる極短時間固相成長法（VST-SPC法）との三者に主として分類される。いずれの方法も適用可能であるが、溶融結晶化、RTA法、VST-SPC法では、エネルギー光の照射時間が非常に短時間であり、かつ、照射領域が基板10全体からみると局所的であるため、半導体膜200の結晶化に際して基板10全体が高温に熱せられることがない。それ故、基板10には熱による変形や割れなどが生じないので、大型の基板10を高い生産性をもって製造するのに適している。

【0041】本発明では結晶化工程については、パターンニングした後の島状の半導体膜20にレーザアニールや急速加熱処理などといった結晶化工程を行うよりは、パターンニング前の半導体膜200に対して結晶化工程を行うことが好ましい。パターンニング前の半導体膜200に対して結晶化工程を行うと、結晶化工程を行ったときの半導体膜（基板）の温度は、パターン密度の影響を受けずに基板10の面内方向で均一に上昇するので、半導体膜200を均一に処理できる。

【0042】次に図1(B)に示すように、半導体膜20を部分的に覆うレジストマスク91を形成し、この状態で高濃度のリンイオンなどといった不純物を導入する。その結果、半導体膜20には高濃度ソース・ドレイン領域122が形成される（高濃度不純物導入工程）。

【0043】次に図1(C)に示すように、レジストマスク91を除去した後、図1(D)に示すように半導体膜20の表面にシリコン酸化膜などからなるゲート絶縁膜13を形成する（ゲート絶縁膜形成工程）。なお本形態および以下に説明するいずれの形態においても、ゲート絶縁膜13を形成した後に高濃度不純物導入工程を行ってよい。

【0044】次に図1(E)に示すように、ゲート絶縁膜13の表面に高濃度のリンイオンをドーブしたアモル



ファスシリコンなどからなる光吸収膜 70 を形成する  
(光吸収膜形成工程)。

【0045】次に図 1 (F) に示すように、半導体膜 20 にアークランプを用いた急速加熱処理を行い、半導体膜 20 に導入した不純物を活性化する(急速加熱処理工程)。この場合にアークランプは、基板 10 に対して表面側、裏面側、あるいは表面・裏面側の双方に配置してもよい。

【0046】このように本発明では、チャネル領域 17 およびソース・ドレイン領域を形成するための半導体膜 20 を形成した以降、半導体膜 20 の上層側にゲート電極を形成する前に、図 1 (B) に示すように半導体膜 20 に高濃度の不純物を導入する高濃度不純物導入工程と、図 1 (E) に示すようにゲート絶縁膜 13 の表面側に光吸収膜 70 を形成する光吸収膜形成工程と、図 1 (F) に示すように半導体膜 20 に急速加熱処理を施す急速加熱処理工程とを行い、しかる後に残りの工程を進める。

【0047】従って本発明では、高濃度ソース・ドレイン領域 122 に導入されている不純物を急速加熱処理工程によって活性化するため、長い時間のかかる炉内での熱処理を行う必要がない。また急速加熱処理工程は、炉内での熱処理に比較して高温になる分、熱処理の効果が高い。この場合でも基板 10 は局部的に加熱されていくだけであるので、基板 10 には割れや歪みなどが発生しない。

【0048】特に本発明では、急速加熱処理工程によって不純物を活性化する際には半導体膜 20 の上層側(ゲート絶縁膜 13 の表面)に光吸収膜 70 を形成してあるので、アークランプからの光は光吸収膜 70 において吸収され、その熱は半導体膜 20 の効率よく伝わる。それ故、半導体膜 20 (高濃度ソース・ドレイン領域 122) を効率よく加熱できる。しかも、光吸収膜 70 は基板 10 の表面全体に形成されているため、パターニング後の半導体膜 20 に急速加熱処理を行っても、各半導体膜 20 はパターン密度の影響を受けることなく均一に処理される。

【0049】また急速加熱処理によってゲート絶縁膜 13 は焼き締めされて緻密化し、かつゲート絶縁膜 13 ではシリコン原子と酸素原子との結合が弱くて不安定な状態から強くて安定な状態となる。しかもゲート絶縁膜 13 では禁制帯中の電子やホールに対するトラップ単位が減少する。

【0050】さらに急速加熱処理によって半導体膜 20 の膜質も向上する。すなわち、先に行った結晶化工程によって半導体膜 20 中のシリコン原子が格子点からわずかにずれていても、このような微小なずれから生じるストレスはこの急速加熱処理工程で解放され、結晶の完全性が高まる。併せて結晶粒と結晶粒との間にわずかに存在する非結晶部分も結晶化するため、半導体膜 20 の結

晶化率が高まる。また、微小結晶は再結晶化して大きな結晶に成長し、結晶粒界を減少させる。

【0051】本発明では、このようにして急速加熱処理工程を行った以降、ゲート電極を形成する前に、光吸収膜 70 を除去する光吸収膜除去工程と、ゲート絶縁膜の表面に導電膜を形成する導電膜形成工程とを行い、しかる後に、導電膜をパターニングしてゲート電極を形成することがある。すなわち図 2 (A) に示すように、急速加熱処理工程を終えた後に光吸収膜 70 を除去し(光吸収膜除去工程)、次に図 2 (B) に示すように、 $\alpha$  構造のタンタル膜などといった電気抵抗の低い導電膜 72 を形成する(導電膜形成工程)。次に図 2 (C) に示すように、導電膜 72 の表面にレジストマスク 92 を形成し、図 2 (D) に示すように導電膜 72 をパターニングしてゲート電極 15 を形成する(ゲート電極形成工程)。しかる後に図 2 (E) に示すように、ゲート電極 15 をマスクとして半導体膜 20 に低濃度のリンイオンを導入する(低濃度不純物導入工程)。このとき、ゲート電極 15 がイオン注入のマスクとなるため、チャネル領域 17 は、ゲート電極 15 下のみに形成される。その結果、ソース・ドレイン領域 12 のうちゲート電極 15 の端部に対峙する部分に低濃度ソース・ドレイン領域 121 を備える LDD 構造の TFT が形成される。本発明において、不純物イオンの導入は、質量非分離型イオン注入装置を用いて注入不純物元素の水素化合物と水素とを注入するイオン・ドーピング法と、質量分離型イオン注入装置を用いて所望の不純物イオンのみを注入するイオン打ち込み法との二種類が適用され得る。イオン・ドーピング法の原料ガスとしては、水素中に希釈された濃度が 0.1 % 程度のホスフィン (PH<sub>3</sub>) やジボラン (B<sub>2</sub>H<sub>6</sub>) などの注入不純物の水素化合物を用いる。イオン打ち込み法では、所望の不純物元素のみを注入した後に引き続いて水素イオン(プロトンや水素分子イオン)を注入する。MOS 界面やゲート絶縁膜 13 を安定に保つにはイオン・ドーピング法あるいはイオン打ち込み法のいずれの方法であってもイオン注入時の基板温度は 350℃ 以下が好ましい。一方、注入した不純物の活性化を 350℃ 以下の低温で常に安定的に行うには、イオン注入時の基板 10 の温度は 200℃ 以上であることが好ましい。トランジスタのしきい値電圧を調整するためにチャネルドープを行う場合、あるいは LDD 構造を作成するといったように低濃度に注入された不純物イオンを低温で確実に活性化するには、イオン注入時の基板 10 の温度は 250℃ 以上であることが必要となる。このように、基板 10 の温度が高い状態でイオン注入を行うと、半導体膜 12 のイオン注入に伴う結晶破壊の際に再結晶化も同時に生じるので、結果的にはイオン注入部の非晶質化を防ぐことができる。すなわち、イオン注入された領域は注入後も依然として結晶質として残り、その後の活性化温度が 350℃ 程度以下と低温であっても

注入イオンの活性化が可能になる。

【0052】本発明では、図1(B)に示す高濃度不純物導入工程において半導体膜20のうちゲート電極15の端部に対峙する部分を避けて高濃度不純物を導入し、ゲート電極15を形成した以降、ゲート電極15をマスクとして半導体膜20に対して低濃度不純物を導入している（低濃度不純物導入工程）、LDD構造のTFTを形成できる。これに対してゲート電極15を形成した以降、上記の低濃度不純物導入工程を省略すれば、オフセットゲート構造のTFTを形成できる。

【0053】本発明において図2(E)に示すように、同じ基板10の上に容量素子Capも構成する場合には、容量素子Capの下層側電極41（半導体膜40）、誘電体膜および上層側電極42を、それぞれTFTの高濃度ソース・ドレイン領域122（半導体膜20）、ゲート絶縁膜13およびゲート電極15（導電膜72）と同時形成する。この場合には、容量素子Capの側に対しても、図1(E)に示す光吸収膜形成工程ではゲート絶縁膜13（誘電体膜）の表面側に光吸収膜70を形成し、図1(F)に示す急速熱処理工程では下層側電極41を構成する半導体膜40に急速加熱処理を施す。

【0054】【実施の形態2】本形態にかかる集積回路の製造方法は、実施の形態1と図1(A)～図1(D)に示した各工程については共通するので、これらの工程については簡単に説明する。

【0055】まず図3(A)に示すように、透明なガラス製の基板10の表面に形成したシリコン膜からなる半導体膜200をパターニングして島状の半導体膜20、40を形成する。次に図3(B)に示すように、レジストマスク91を形成してリンイオンを導入し、高濃度ソース・ドレイン領域122を形成する（高濃度不純物導入工程）。次に図3(C)に示すように、レジストマスク91を除去した後、図3(D)に示すように半導体膜20の表面にゲート絶縁膜13を形成する（ゲート絶縁膜形成工程）。これまでの工程のうち、図3(A)に示す工程ではTFTのチャネル領域などを構成するための半導体膜200、あるいはそれをパターニングした島状の半導体膜20にレーザアニールや急速加熱処理などといった結晶化工程を行うことが好ましい。特にパターニング前の半導体膜200に対して結晶化工程を行うと、半導体膜20はパターン密度の影響を受けることなく均一な処理される。

【0056】次に図3(E)に示すように、ゲート絶縁膜13の表面に導電性を有する光吸収膜71を形成する（光吸収膜形成工程）。本発明では光吸収膜71として高濃度のリンイオンをドーブしたアモルファスシリコン膜を用いるが、このアモルファスシリコン膜は、次の工程で行う急速加熱処理によって導電性のポリシリコン膜となる。

【0057】次に図3(F)に示すように、半導体膜20にアークランプを用いた急速加熱処理を行い、半導体膜20に導入した不純物を活性化する（急速加熱処理工程）。この場合にアークランプは、基板10に対して表面側、裏面側、あるいは表面・裏面側の双方に配置してもよい。

【0058】このように本発明でも、チャネル領域17およびソース・ドレイン領域12を形成するための半導体膜20を形成した以降、半導体膜20の上層側にゲート電極を形成する前に、図3(B)に示すように半導体膜20に高濃度の不純物を導入する高濃度不純物導入工程と、図3(E)に示すようにゲート絶縁膜13の表面側に光吸収膜71を形成する光吸収膜形成工程と、図3(F)に示すように半導体膜20に急速加熱処理を施す急速加熱処理工程とを行い、しかる後に残りの工程を進める。このため本発明でも、高濃度ソース・ドレイン領域122に導入した不純物を急速加熱処理工程によって短時間で活性化できる。また、急速加熱処理工程によって活性化する際に、半導体膜20の表面に光吸収膜71を形成してあるので、アークランプからの光は光吸収膜71において吸収され、その熱は半導体膜20の効率よく伝わる。しかも、光吸収膜71は基板10の表面全体に形成されているため、各半導体膜20は均一に処理される。また急速加熱処理によってゲート絶縁膜13が緻密化してその膜質が向上するとともに、先に行った結晶化工程との相乗効果により半導体膜20の膜質も向上する。

【0059】本発明では、このようにして急速加熱処理工程を行った以降、ゲート電極を形成する前に、導電性をもった光吸収膜71の表面にさらに導電膜を形成する導電膜形成工程を行い、しかる後に、光吸収膜71および導電膜をパターニングしてゲート電極を形成する。すなわち図4(A)に示すように、急速加熱処理工程を終えた後の光吸収膜71の表面にα構造のタンタル膜などといったより電気抵抗の低い導電膜73を形成する（導電膜形成工程）。次に図4(B)に示すように、導電膜73の表面にレジストマスク92を形成し、図4(C)に示すように光吸収膜71および導電膜73をパターニングしてゲート電極15を形成する（ゲート電極形成工程）。しかる後に図4(C)に示すように、ゲート電極15をマスクとして半導体膜20に低濃度のリンイオンを導入する（低濃度不純物導入工程）。その結果、ソース・ドレイン領域12のうちゲート電極15の端部に対峙する部分に低濃度ソース・ドレイン領域121を備えるLDD構造のTFTが形成される。これに対して、上記の低濃度不純物導入工程を省略すれば、オフセットゲート構造のTFTを形成できる。

【0060】本発明においても図4(D)に示すように、同じ基板10の上に容量素子Capも構成する場合には、容量素子Capの下層側電極41（半導体膜4

0)、誘電体膜および上層側電極 42 を、それぞれ T F T の高濃度ソース・ドレイン領域 122 (半導体膜 20)、ゲート絶縁膜 13、およびゲート電極 15 (光吸収膜 71 および導電膜 73) と同時形成する。この場合には、容量素子 C a p の側に対しても、図 3 (E) に示す光吸収膜形成工程ではゲート絶縁膜 13 (誘電体膜) の表面側に光吸収膜 71 を形成し、図 3 (F) に示す急速熱処理工程では下層側電極 41 を構成する半導体膜 40 に急速加熱処理を施す。

【0061】 [実施の形態 3] 本形態にかかる集積回路 10 の製造方法は、実施の形態 1 と図 1 (A) ~ 図 1 (D) に示した各工程については共通するので、これらの工程については簡単に説明する。

【0062】 まず図 5 (A) に示すように、ガラス製の基板 10 の表面に形成したシリコン膜からなる半導体膜 200 をパターニングして島状の半導体膜 20、40 を形成する。次に図 5 (B) に示すように、レジストマスク 91 を形成してリンイオンを導入し、高濃度ソース・ドレイン領域 122 を形成する (高濃度不純物導入工程)。次に図 5 (C) に示すように、レジストマスク 91 を除去した後、図 5 (D) に示すように半導体膜 20 の表面にゲート絶縁膜 13 を形成する (ゲート絶縁膜形成工程)。これまでの工程のうち、図 5 (A) に示す工程では T F T のチャネル領域などを構成するための半導体膜 200、あるいはそれをパターニングした島状の半導体膜 20 にレーザアニールや急速加熱処理などといった結晶化工程を行うことが好ましい。特にパターニング前の半導体膜 200 に対して結晶化工程を行うと、半導体膜 20 はパターン密度の影響を受けることなく均一な処理される。

【0063】 次に図 5 (E) に示すように、ゲート絶縁膜 13 の表面に、高濃度のリンイオンをドーピングしたアモルファスシリコン膜などからなる光吸収膜 74 を形成する (光吸収膜形成工程)。本発明では光吸収膜 74 として高濃度のリンイオンをドーピングしたアモルファスシリコン膜を用いるが、このアモルファスシリコン膜は、次の工程で行う急速加熱処理によって導電性のポリシリコン膜となる。

【0064】 次に図 5 (F) に示すように、半導体膜 20 にアークランプを用いた急速加熱処理を行い、半導体膜 20 に導入した不純物を活性化する (急速加熱処理工程)。この場合にアークランプは、基板 10 に対して表面側、裏面側、あるいは表面・裏面側の双方に配置してもよい。

【0065】 このように本発明でも、チャネル領域 17 およびソース・ドレイン領域 12 を形成するための半導体膜 20 を形成した以降、半導体膜 20 の上層側にゲート電極を形成する前に、図 5 (B) に示すように半導体膜 20 に高濃度の不純物を導入する高濃度不純物導入工程と、図 5 (E) に示すようにゲート絶縁膜 13 の表面

側に光吸収膜 74 を形成する光吸収膜形成工程と、図 5 (F) に示すように半導体膜 20 に急速加熱処理を施す急速加熱処理工程とを行い、しかる後に残りの工程を進める。このため本発明でも、高濃度ソース・ドレイン領域 122 に導入した不純物を急速加熱処理工程によって短時間で活性化できる。また、急速加熱処理工程によって活性化する際に、半導体膜 20 の表面に光吸収膜 74 を形成してあるので、アークランプからの光は光吸収膜 74 において吸収され、その熱は半導体膜 20 の効率よく伝わる。しかも、光吸収膜 74 は基板 10 の表面全体に形成されているため、各半導体膜 20 は均一に処理される。また急速加熱処理によってゲート絶縁膜 13 が緻密化してその膜質が向上するとともに、先に行った結晶化工程との相乗効果により半導体膜 20 の膜質も向上する。

【0066】 本発明では光吸収膜 74 として導電性を有する膜を用い、急速加熱処理工程を行った以降、光吸収膜 74 をパターニングしてゲート電極を形成する。すなわち図 6 (A) に示すように、急速加熱処理工程を終えた後に、導電性を有する光吸収膜 74 の表面にレジストマスク 92 を形成し、図 6 (B) に示すように光吸収膜 74 をパターニングしてゲート電極 15 を形成する (ゲート電極形成工程)。しかる後に図 6 (C) に示すように、ゲート電極 15 をマスクとして半導体膜 20 に低濃度のリンイオンを導入する (低濃度不純物導入工程)。その結果、ソース・ドレイン領域 12 のうちゲート電極 15 の端部に対峙する部分に低濃度ソース・ドレイン領域 121 を備える L D D 構造の T F T が形成される。これに対して、上記の低濃度不純物導入工程を省略すれば、オフセットゲート構造の T F T を形成できる。

【0067】 本発明において図 6 (C) に示すように、同じ基板 10 の上に容量素子 C a p も構成する場合には、容量素子 C a p の下層側電極 41 (半導体膜 40)、誘電体膜および上層側電極 42 を、それぞれ T F T の高濃度ソース・ドレイン領域 122 (半導体膜 20)、ゲート絶縁膜 13 およびゲート電極 15 (光吸収膜 74) と同時形成する。この場合には、容量素子 C a p の側に対しても、図 5 (E) に示す光吸収膜形成工程ではゲート絶縁膜 13 (誘電体膜) の表面側に光吸収膜 74 を形成し、図 5 (F) に示す急速熱処理工程では下層側電極 41 を構成する半導体膜 40 にも急速加熱処理を行う。

【0068】 なお、本発明では、図 7 (A) ~ 図 7 (D) に示すように、図 5 (A) ~ 図 5 (D) を参照して説明した上記の工程と同じようにすすめ、図 7 (E) に示す工程 (光吸収膜形成工程) では、ゲート絶縁膜 13 の表面に対して、高濃度のリンイオンをドーピングしたアモルファスシリコン膜などからなる下層側の光吸収膜 75 と、モリブデンシサイドなどからなる上層側の光吸収膜 76 とからなる 2 層構造の光吸収膜を構成してもよ

い。ここで、下層側の光吸収膜 75 を構成するアモルファスシリコン膜は、次の工程で行う急速加熱処理によって導電性のポリシリコン膜となる。従って、いずれの光吸収膜 75、76 も導電性を有するので、それ以降の工程は、図 5 および図 6 を参照して説明した方法と同様に進めることができる。

【0069】すなわち図 7 (F) に示すように、半導体膜 20 に急速加熱処理を行い、半導体膜 20 に導入した不純物を活性化した後、図 8 (A) に示すように、光吸収膜 76 の表面にレジストマスク 92 を形成し、図 8

(B) に示すように光吸収膜 75、76 をパターンニングしてゲート電極 15 を形成する (ゲート電極形成工程)。しかる後に図 8 (C) に示すように、ゲート電極 15 をマスクとして半導体膜 20 に低濃度のリンイオンを導入する。その結果、ソース・ドレイン領域 12 のうちゲート電極 15 の端部に対峙する部分に低濃度ソース・ドレイン領域 121 を備える LDD 構造の TFT が形成される。

【0070】[実施の形態 4] 上記のいずれの実施の形態でも、急速加熱処理工程を行う前に光吸収膜を形成し、この光吸収膜によって急速加熱処理を効果的に行うものであったが、本発明のように、光吸収膜に代えて光反射膜を用いてもよい。この場合には後述するように、急速加熱処理においてエネルギー光を透明な基板 10 の裏面側から照射する点を除けば、上記実施の形態 1 乃至 3 のいずれの形態からの変形も可能である。たとえば、図 5 および図 6 を参照して説明した実施の形態 3 から変形した場合を図 9 および図 10 を参照して説明する。なお、本発明でも、実施の形態 1 で説明した図 1 (A) ~ 図 1 (D) に示す各工程については共通するので、これら

の工程については簡単に説明する。

【0071】まず図 9 (A) に示すように、透明なガラス製の基板 10 の表面に形成したシリコン膜からなる半導体膜 200 をパターンニングして島状の半導体膜 20、40 を形成する。次に図 9 (B) に示すように、レジストマスク 91 を形成してリンイオンを導入し、高濃度ソース・ドレイン領域 122 を形成する (高濃度不純物導入工程)。次に図 9 (C) に示すように、レジストマスク 91 を除去した後、図 9 (D) に示すように半導体膜 20 の表面にゲート絶縁膜 13 を形成する (ゲート絶縁膜形成工程)。これまでの工程のうち、図 9 (A) に示す工程では TFT のチャンネル領域などを構成するための半導体膜 200、あるいはそれをパターンニングした島状の半導体膜 20 にレーザアニールや急速加熱処理などといった結晶化工程を行うことが好ましい。この場合には特に、パターンニング前の半導体膜 200 に対して結晶化工程を行うと、半導体膜 20 はパターン密度の影響を受けることなく均一な処理される。

【0072】次に図 9 (E) に示すように、ゲート絶縁膜 13 の表面に  $\alpha$  構造のタンタル膜などからなる導電性

を有する光反射膜 77 を形成する (光反射膜形成工程)。

【0073】次に図 9 (F) に示すように、アークランプを用いて半導体膜 20 に急速加熱処理を行い、半導体膜 20 に導入した不純物を活性化する (急速加熱処理工程)。ここでアークランプからの光は、基板 10 の裏面側から照射し、照射した光が光反射膜 77 で反射して半導体膜 20 に集光するようにしてある。

【0074】このように本発明では、チャンネル領域 17 およびソース・ドレイン領域 12 を形成するための半導体膜 20 を形成した以降、半導体膜 20 の上層側にゲート電極を形成する前に、図 9 (B) に示すように半導体膜 20 に高濃度の不純物を導入する高濃度不純物導入工程と、図 9 (E) に示すようにゲート絶縁膜 13 の表面側に光反射膜 77 を形成する光反射膜形成工程と、図 9 (F) に示すように半導体膜 20 に急速加熱処理を施す急速加熱処理工程とを行い、しかる後に残りの工程を進める。このため本発明では、高濃度ソース・ドレイン領域 122 に導入した不純物を急速加熱処理工程によって短時間で活性化できる。また、急速加熱処理工程によって活性化する際に半導体膜 20 の表面に光反射膜 77 を形成してあるので、アークランプからの光は半導体膜 20 に集光され、半導体膜 20 (高濃度ソース・ドレイン領域 122) を効率よく熱処理できる。しかも、光吸収膜 72 は基板 10 の表面全体に形成されているため、各半導体膜 20 は均一に処理される。また急速加熱処理によってゲート絶縁膜 13 が緻密化してその膜質が向上するとともに、先に行った結晶化工程との相乗効果により半導体膜 20 の膜質も向上する。またタンタル膜 (光反射膜 77) 自身も  $\alpha$  構造の側により熱転移し、電気抵抗が低下する。

【0075】本発明では光反射膜 77 として導電性を有する膜を用いているので、急速加熱処理工程を行った以降、光反射膜 77 をパターンニングしてゲート電極を形成する。すなわち図 10 (A) に示すように、急速加熱処理工程を終えた後に、導電性を有する光反射膜 77 の表面にレジストマスク 92 を形成し、次に図 10 (B) に示すように、光反射膜 77 をパターンニングしてゲート電極 15 を形成する (ゲート電極形成工程)。しかる後に図 10 (C) に示すように、ゲート電極 15 をマスクとして半導体膜 20 に低濃度のリンイオンを導入する (低濃度不純物導入工程)。その結果、ソース・ドレイン領域 12 のうちゲート電極 15 の端部に対峙する部分に低濃度ソース・ドレイン領域 121 を備える LDD 構造の TFT が形成される。これに対して、上記の低濃度不純物導入工程を省略すれば、オフセットゲート構造の TFT を形成できる。

【0076】本発明において図 10 (C) に示すように、同じ基板 10 の上に容量素子 Cap も構成する場合には、容量素子 Cap の下層側電極 41 (半導体膜 4

0)、誘電体膜および上層側電極 42 (光反射膜 77) を、それぞれ T F T の高濃度ソース・ドレイン領域 122 (半導体膜 20)、ゲート絶縁膜 13 およびゲート電極 15 と同時形成する。この場合には、容量素子 C a p の側に対しても、図 10 (E) に示す光反射膜形成工程ではゲート絶縁膜 13 (誘電体膜) の表面側に光反射膜 77 を形成し、図 10 (F) に示す急速加熱処理工程では下層側電極 41 を構成する半導体膜 40 にも急速加熱処理を行う。

【0077】なお、上記の形態では、光反射膜 77 としてタンタル膜を用いたので、それをパターニングしてゲート電極 15 を形成したが、光反射膜 77 の電気抵抗が高い場合には、急速加熱処理工程を行った以降、ゲート電極 15 を形成する前に、光反射膜 77 を除去する光反射膜除去工程と、ゲート絶縁膜 13 の表面に導電膜を形成する導電膜形成工程とを行い、この導電膜をパターニングしてゲート電極 15 を形成してもよい。また、急速加熱処理工程を行った以降、ゲート電極 15 を形成する前に、光反射膜 77 の表面に導電膜を形成する導電膜形成工程を行い、しかる後にこの導電膜および光反射膜 77 をパターニングしてゲート電極 17 を形成してもよい。

【0078】〔実施の形態 5〕急速加熱処理を効果的に行うことを目的に光吸収膜および光反射膜の双方を用いてもよい。この場合にも後述するように、急速加熱処理におけるランプ光の照射方向を透明な基板 10 の裏面側から照射するようにすれば、上記実施の形態 1乃至3のいずれの形態からの変形も可能である。たとえば、図 5 および図 6 を参照して説明した実施の形態 3 から変形した場合を図 11 および図 12 を参照して説明する。なお、本発明でも、実施の形態 1 で説明した図 1 (A) ~ 図 1 (D) に示す各工程については共通するので、これらの工程については簡単に説明する。

【0079】まず図 11 (A) に示すように、透明なガラス製の基板 10 の表面に形成したシリコン膜からなる半導体膜 200 をパターニングして島状の半導体膜 20、40 を形成する。次に図 11 (B) に示すように、レジストマスク 91 を形成してリンイオンを導入し、高濃度ソース・ドレイン領域 122 を形成する (高濃度不純物導入工程)。次に図 11 (C) に示すように、レジストマスク 91 を除去した後、図 11 (D) に示すように半導体膜 20 の表面にゲート絶縁膜 13 を形成する。これまでの工程のうち、図 11 (A) に示す工程では T F T のチャンネル領域などを構成するための半導体膜 200、あるいはそれをパターニングした島状の半導体膜 20 にレーザアニールや急速加熱処理などといった結晶化工程を行うことが好ましい。この場合には特に、パターニング前の半導体膜 200 に対して結晶化工程を行うと、半導体膜 20 はパターン密度の影響を受けることなく均一な処理される。

【0080】次に図 11 (E) に示すように、ゲート絶縁膜 13 の表面にまずは、高濃度のリンをドーブしたアモルファスシリコンなどからなる光吸収膜 78 を形成する。本発明では光吸収膜 72 として高濃度のリンイオンをドーブしたアモルファスシリコン膜を用いるが、このアモルファスシリコン膜は、次の工程で行う熱処理によって導電性のポリシリコン膜となる。続いて、光吸収膜 78 の表面にアルミニウムなどからなる導電性を有する光反射膜 79 を形成する (光吸収膜・光反射膜形成工程)。

【0081】次に図 11 (F) に示すように、アークランプを用いて半導体膜 20 に急速加熱処理を行い、半導体膜 20 に導入した不純物を活性化する (急速加熱処理工程)。ここでアークランプからの光は、基板 10 の裏面側から照射し、照射した光が光反射膜 79 で反射して半導体膜 20 に集光するようにしてある。

【0082】このように本発明では、チャンネル領域 17 およびソース・ドレイン領域 12 を形成するための半導体膜 20 を形成した以降、半導体膜 20 の上層側にゲート電極を形成する前に、図 11 (B) に示すように半導体膜 20 に高濃度の不純物を導入する高濃度不純物導入工程と、図 11 (E) に示すようにゲート絶縁膜 13 の表面側に光吸収膜 78 および光反射膜 79 を形成する光吸収膜・光反射膜形成工程と、図 11 (F) に示すように半導体膜 20 に急速加熱処理を施す急速加熱処理工程とを行い、しかる後に残りの工程を進める。このため本発明では、高濃度ソース・ドレイン領域 122 に導入した不純物を急速加熱処理工程によって短時間で活性化できる。また、急速加熱処理工程によって活性化する際に、すでに半導体膜 20 の表面に光吸収膜 78 および光反射膜 79 を形成してあるので、アークランプからの光は光吸収膜 78 において吸収され、その熱は半導体膜 20 の効率よく伝わる。それに加えて、光吸収膜 78 を透過した光は光反射膜 79 を介して半導体膜 20 に集光される。それ故、半導体膜 20 (高濃度ソース・ドレイン領域 122) を効率よく処理できる。しかも、光吸収膜 78 および光反射膜 79 は基板 10 の表面全体に形成されているため、各半導体膜 20 は均一に処理される。また急速加熱処理によってゲート絶縁膜 13 が緻密化してその膜質が向上するとともに、先に行った結晶化工程との相乗効果により半導体膜 20 の膜質も向上する。

【0083】本発明では光吸収膜 78 および光反射膜 79 のいずれについても導電性を有する膜を用いているので、急速加熱処理工程を行った以降、光吸収膜 78 および光反射膜 79 をパターニングしてゲート電極を形成する。すなわち図 12 (A) に示すように、急速加熱処理工程を終えた後に、光反射膜 79 の表面にレジストマスク 92 を形成し、図 12 (B) に示すように光吸収膜 78 および光反射膜 79 の双方をパターニングしてゲート電極 15 を形成する (ゲート電極形成工程)。しかる後



に図 12 (C) に示すように、ゲート電極 15 をマスクとして半導体膜 20 に低濃度のリンイオンを導入する

(低濃度不純物導入工程)。その結果、ソース・ドレイン領域 12 のうちゲート電極 15 の端部に対峙する部分に低濃度ソース・ドレイン領域 121 を備える LDD 構造の TFT が形成される。これに対して、上記の低濃度不純物導入工程を省略すれば、オフセットゲート構造の TFT を形成できる。このように構成した TFT では、アルミニウム膜 (光反射膜 79) をゲート電極 15 の一部として使用しているが、それが接しているのは、高濃度のリンをドーパしたシリコン膜 (光吸収膜 78) であるため、オーミック接続する状態にある。それ故、光反射膜 79 と光吸収膜 78 との接触抵抗が低いので、冗長配線として十分に機能する。

【0084】本発明において図 12 (C) に示すように、同じ基板 10 の上に容量素子 Cap も構成する場合には、容量素子 Cap の下層側電極 41 (半導体膜 40)、誘電体膜および上層側電極 42 をそれぞれ TFT の高濃度ソース・ドレイン領域 122 (半導体膜 20)、ゲート絶縁膜 13、およびゲート電極 15 (光吸収膜 78 および光反射膜 79) と同時形成する。この場合には、容量素子 Cap の側に対しても、図 11 (E) に示す光吸収膜・光反射膜形成工程ではゲート絶縁膜 13 (誘電体膜) の表面側に光吸収膜 78 および光反射膜 79 を形成し、図 11 (F) に示す急速熱処理工程では下層側電極 41 を構成する半導体膜 40 にも急速加熱処理を行う。

【0085】なお、上記の形態では、光反射膜 79 としてアルミニウム膜を用いたので、それを光吸収膜 78 とともにパターニングしてゲート電極 15 を形成したが、光吸収膜 78 および光反射膜 79 の電気的抵抗が高い場合には、急速加熱処理工程を行った以降、ゲート電極 15 を形成する前に、光吸収膜 78 および光反射膜 79 を除去する光反射膜除去工程と、ゲート絶縁膜 13 の表面に導電膜を形成する導電膜形成工程とを行い、この導電膜をパターニングしてゲート電極 15 を形成してもよい。また、急速加熱処理工程を行った以降、ゲート電極 15 を形成する前に、光吸収膜 78 および光反射膜 79 の表面に導電膜を形成する導電膜形成工程を行い、しかる後にこの導電膜、光吸収膜 78 および光反射膜 77 をパターニングしてゲート電極 17 を形成してもよい。

【0086】

【実施例】本発明の実施例として液晶表示装置における駆動回路内蔵型のアクティブマトリクス基板上に TFT および容量素子 (保持容量) を形成していく例を説明する。

【0087】[アクティブマトリクス基板の構成] 図 13 は、液晶表示装置の構成を模式的に示すブロック図である。

【0088】図 13 (a) に示すように、液晶表示装置

は、そのアクティブマトリクス基板上に、信号線 90 および走査線 91 で区画形成された画素領域を有し、そこには、画素用 TFT を介して画像信号が入力される液晶セルの液晶容量 94 が存在する。信号線 90 に対しては、シフトレジスタ 84、レベルシフタ 85、ビデオライン 87、アナログスイッチ 86 を備えるデータドライバ部 82 (駆動回路) がアクティブマトリクス基板上に形成されている。走査線 91 に対しては、シフトレジスタ 88 およびレベルシフタ 89 を備える走査ドライバ部 83 (駆動回路) がアクティブマトリクス基板上に形成されている。

【0089】画素領域には、前段の走査線 91 との間に容量素子 Cap (保持容量) が形成され、この容量素子 Cap は、液晶セル (液晶容量 94) での電荷の保持特性を高める機能を有している。

【0090】容量素子 Cap では、図 13 (b) に示すように、画素用 TFT 10 を形成するための半導体膜と同時形成された半導体膜を導電化したものを下層側電極 41 とし、この下層側電極 41 に対して、ゲート電極 15 と同時形成された前段の走査線 91 から張り出した上層側電極 42 が重なった状態にある。なお、容量素子 Cap は、各画素領域において前段の走査線 91 との間に構成されているが、ゲート電極と同時形成されるのであれば専用の容量線との間に構成してもよい。

【0091】このように構成したアクティブマトリクス基板では、駆動回路部において CMOS 回路を構成する N 型の駆動回路用 TFT、および P 型の駆動回路用 TFT と、各画素に構成されるアクティブ素子としての N 型の画素用 TFT と、各画素に構成される容量素子 Cap は、いずれも同じ基板上に形成されることになる。そこで、各素子を形成するための各工程を互いに援用していくことが好ましい。また、いずれの TFT も LDD 構造またはオフセットゲート構造として形成することが好ましい。駆動回路用 TFT を LDD 構造またはオフセットゲート構造として形成すると、その耐電圧が向上する分、チャネル長を短くできるので、寄生容量の影響などを抑えることができる。画素用 TFT を LDD 構造またはオフセットゲート構造として形成すると、そのオフリーク電流が低減する分、画像表示の品位が向上する。

【0092】[TFT の製造方法] このような構造のアクティブマトリクス基板の製造方法を図 14 ないし図 17 を参照して説明する。

【0093】まず図 14 (A) に示すようにガラス製の基板 10 に対して TEOS (テトラエトキシシラン) や酸素ガスなどを原料ガスとしてプラズマ CVD 法により厚さが約 2000 オングストロームのシリコン酸化膜からなる下地保護膜 11 を形成する。次に基板 10 の温度を 350℃ に設定して、下地保護膜 11 の表面にプラズマ CVD 法により厚さが約 600 オングストロームのアモルファスのシリコン膜からなる半導体膜 200 を形成



する。次にアモルファスのシリコン膜からなる半導体膜 200 に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜 200 をポリシリコン膜にまで結晶化しておく。

【0094】レーザアニール法では、図 15 に示すように、エキシマレーザのビーム長が 400mm のラインビーム LA (レーザ光) を用い、その出力強度はたとえば  $200 \text{ mJ/cm}^2$  である。ラインビームについてはその幅方向におけるレーザ強度のピーク値の 90% に相当する部分が各領域毎に重なるようにラインビーム LA を走査していく。

【0095】次に図 14 (B) に示すように、ポリシリコン膜となった半導体膜 20 をフォトリソグラフィ技術を用いてパターニングし、島状の半導体膜 20A、20B、20C、40 を形成する。半導体膜 20A、20B、20C、40 は、それぞれ P 型の駆動回路用 TFT、N 型の駆動回路用 TFT、画素用 TFT、容量素子 Cap を構成するための半導体膜である。これまでの工程を行う間に、TFT のしきい値を調整することを目的に低濃度の不純物を導入しておくことがある (チャネルドープ工程)。

【0096】次に図 14 (C) に示すように、島状の半導体膜 20A、20B、20C、40 の表面に対して、TEOS (テトラエトキシシラン) や酸素ガスなどを原料ガスとしてプラズマ CVD 法により厚さが約 1000 Å のシリコン酸化膜からなるゲート絶縁膜 13 を形成する (ゲート絶縁膜形成工程)。

【0097】次に図 14 (D) に示すように、P 型の駆動回路用 TFT の形成予定領域全体を覆うとともに、N 型の駆動回路用 TFT および画素用 TFT のゲート電極形成予定領域をやや広めに覆うレジストマスク 91B を形成し、この状態で半導体膜 20B、20C、40 に対してリンイオン (N 型不純物) を約  $2 \times 10^{15} \text{ cm}^{-2}$  のドーズ量で導入する (高濃度 N 型不純物導入工程)。その結果、半導体膜 20B、20C のうちリンイオンが打ち込まれた領域は、高濃度ソース・ドレイン領域 122B、122C となる。また、半導体膜 40 は容量素子 Cap の下層側電極 41 となる。

【0098】次に図 14 (E) に示すように、N 型の駆動回路用 TFT、画素用 TFT、および容量素子 Cap の形成予定領域全体を覆うとともに、P 型の駆動回路用 TFT のゲート電極形成予定領域をやや広めに覆うレジストマスク 91B を形成し、この状態で半導体膜 20A に対してボロンイオン (P 型不純物) を約  $2 \times 10^{15} \text{ cm}^{-2}$  のドーズ量で導入する (高濃度 P 型不純物導入工程)。その結果、半導体膜 20A のうちボロンイオンが打ち込まれた領域は、高濃度ソース・ドレイン領域 122A となる。

【0099】次に図 14 (F) に示すように、高濃度のリンイオンを含むアモルファスのシリコン膜からなる光

吸収膜 71 を形成する。

【0100】次に図 14 (G) に示すように、半導体膜 20A、20B、20C、40 にアークランプを用いた急速加熱処理を行い、半導体膜 20A、20B、20C、40 に導入した不純物を活性化する (急速加熱処理工程)。このとき、アークランプからの光は、基板 10 の表面側および裏面側の双方から照射される。

【0101】この急速加熱処理工程では、たとえば、図 16 に示す急速加熱処理装置を用いる。この急速加熱処理装置では、図 16 (A) に示すように、基板 10 の搬送方向 (矢印 X の方向) の上流側から下流側に向かって、第 1 の予熱ゾーン 2、第 2 の予熱ゾーン 3、第 3 の予熱ゾーン 4、アニールゾーン 5、およびクーリングゾーン 6 が設けられている。第 1 ないし第 3 の予熱ゾーン 2、3、4 にはヒータが設けられてる。アニールゾーン 5 にはそこに搬送されてくる基板 10 にエネルギー光を照射するためのアークランプ 5A、5B と、そのリフレクタ 5C、5D が配置されている。本例では、シリコン膜からなる半導体膜 20A、20B、20C、40 にエネルギー光が効率よく吸収されるように、光源としてアークランプ 5A、5B を用いている。このように構成した急速加熱処理装置では 16 (B) に示すように、基板 10 に対するエネルギー光の照射領域は幅が一定であるため、基板 10 の搬送速度によって基板 10 に対する加熱時間が規定される。また、基板 10 の温度プロファイルは、図 16 (C) に示すように、アニールゾーン 5 において急速に温度上昇し、アニールゾーン 5 の出口付近でピーク温度 P に達するので、アニールゾーン 5 の出口付近の最高温度をアニール温度として管理することになる。

【0102】このようにして急速加熱処理工程を終えた後は、図 17 (A) に示すように光吸収膜 71 の表面に対して窒素を含有する  $\alpha$  構造のタンタル膜からなる導電膜 73 をスパッタ法により形成する (導電膜形成工程)。

【0103】次に図 17 (B) に示すように、導電膜 73 の表面にレジストマスク 92 を形成し、図 17 (C) に示すように光吸収膜 71 および導電膜 73 をパターニングし、各 TFT のゲート電極 15、および容量素子 Cap の上層側電極 42 を形成する (ゲート電極形成工程)。

【0104】次に図 17 (D) に示すように、P 型の駆動回路用 TFT の形成予定領域全体を覆うレジストマスク 93A を形成した後、基板 10 の温度が  $350^\circ\text{C}$  の条件下で、水素ガスで希釈されたホスフィン ( $\text{PH}_3$ ) などを用いて低濃度のリンイオン (N 型不純物) を約  $1 \times 10^{13} \text{ cm}^{-2}$  のドーズ量で導入する (低濃度 N 型不純物導入工程)。半導体膜 20B、20C には水素イオンも約  $2 \times 10^{13} \text{ cm}^{-2}$  のドーズ量で導入される。不純物が導入されなかった部分がチャネル領域 17B、17C と

なる。その結果、同一の基板 10 上に N 型の駆動回路用 TFT、および N 型の画素用 TFT とが構成され、これらの TFT は、ソース・ドレイン領域 12B、12C のうちゲート電極 15 の端部に対峙する部分に低濃度ソース・ドレイン領域 121B、121C を備える LDD 構造となる。このような低濃度 N 型不純物の導入工程を省略すれば、N 型の駆動回路用 TFT、および N 型の画素用 TFT はオフセットゲート構造となる。

【0105】次に図 17 (E) に示すように、N 型の駆動回路用 TFT、N 型の画素用 TFT、および容量素子 Cap を覆うレジストマスク 93B を形成した後、基板 10 の温度が 350℃ の条件下で、水素ガスで希釈されたジボラン (B<sub>2</sub>H<sub>6</sub>) などを用いて低濃度のボロンイオン (P 型不純物) を約  $1 \times 10^{13} \text{ cm}^{-2}$  のドーズ量で導入する (低濃度 P 型不純物導入工程)。半導体膜 20A には水素イオンも約  $2 \times 10^{13} \text{ cm}^{-2}$  のドーズ量で導入される。不純物が導入されなかった部分がチャネル領域 17A となる。その結果、基板 10 上に P 型の駆動回路用 TFT が構成され、この TFT は、ソース・ドレイン領域 12A のうちゲート電極 15 の端部に対峙する部分に低濃度ソース・ドレイン領域 121A を備える LDD 構造となる。このような低濃度 P 型不純物の導入工程を省略すれば、P 型の駆動回路用 TFT はオフセットゲート構造を有することになる。このように構成したいずれの TFT も LDD 構造あるいはオフセットゲート構造であれば、セルフアライン構造の TFT に比較してオフリーク電流が著しく小さい。また、いずれの TFT もセルフアライン構造の TFT に比較して耐電圧が高いので、チャネル長を短くすることができる。

【0106】次にフォーミングガス中 (1%~10% の酸素ガスを含有するアルゴンガス) 中で熱処理を行い、低濃度ソース・ドレイン領域 121A、121B、121C に導入した低濃度の不純物を活性化した後、図 17 (F) に示すように、TEOS (テトラエトキシシラン) や酸素ガスなどを原料ガスとしてプラズマ CVD 法により厚さが約 5000 オングストロームのシリコン酸化膜からなる層間絶縁膜 51 を形成する。それ以降の工程については、図示を省略するが、層間絶縁膜 51 にコンタクトホールを形成し、しかる後にソース電極および画素電極をそれぞれ形成する。

【0107】このように本例のアクティブマトリクス基板の製造方法では、高濃度ソース・ドレイン領域 122A、122B、122C、および容量素子 Cap の下層側電極 41 に導入されている不純物を急速加熱処理工程によって活性化するため、長い時間のかかる炉内での熱処理を行う必要がない。また、急速加熱処理工程は、炉内での熱処理に比較して高温になる分、熱処理の効果が高い。この場合でも基板 10 は局部的に加熱されていくだけであるので、基板 10 には割れや歪みなどが発生しない。

【0108】特に本例では急速加熱処理工程によって不純物を活性化する際には、半導体膜 20 の表面側 (ゲート絶縁膜 13 の表面) に光吸収膜 71 を形成してあるので、アークランプからの光は光吸収膜 71 において吸収され、その熱は半導体膜 20A、20B、20C、40 に効率よく伝わる。それ故、各半導体膜を効率よく加熱できる。しかも、光吸収膜 71 は基板 10 の表面全体に形成されているため、パターンニング後の半導体膜 20A、20B、20C、40 に急速加熱処理を行うといっても各半導体膜はパターン密度の影響を受けることなく均一に処理される。また急速加熱処理によってゲート絶縁膜 13 は焼き締めされて緻密化し、かつゲート絶縁膜 13 ではシリコン原子と酸素原子との結合は弱くて不安定な状態から強くて安定な状態となる。しかもゲート絶縁膜 13 では禁制帯中の電子やホールに対するトラップ準位が減少する。それ故、各 TFT の耐電圧が高い。

【0109】さらに急速加熱処理によって半導体膜 20A、20B、20C、40 の膜質も向上する。すなわち、先に行った結晶化工程によって半導体膜中に生じるストレスはこの急速加熱処理工程で解放され、結晶の完全性が高まる。併せて結晶粒と結晶粒との間にわずかに存在する非結晶部分を結晶化させるため、半導体膜の結晶化率が高まる。また、微小結晶は再結晶化して大きな結晶に成長し、結晶粒界が減少する。それ故、各 TFT のオン電流特性などといった電気的特性が向上する。

【0110】[その他の実施例] なお、上記実施例は図 3 および図 4 を参照して説明した本発明の実施の形態 2 に対応するものであるが、急速加熱処理工程の前に光吸収膜または光反射膜、あるいはそれら双方を形成しておき、これらのいずれの種類の膜を形成したかによって、急速加熱処理工程以降の工程を、本発明の実施の形態 1、3、4、5 に対応する工程に入れ替えてもよい。

【0111】なお、上記実施例では液晶表示装置のアクティブマトリクス基板の製造方法を例に説明したが、TFT を備える集積回路であればいずれの形態のものに本発明を適用してもよい。

【0112】

【発明の効果】以上説明したように、本発明に係る集積回路 (アクティブマトリクス基板) の製造方法では、高濃度の不純物を導入した半導体膜を急速加熱処理工程によって活性化するため、長い時間のかかる炉内での熱処理を行う必要がない。また、急速加熱処理工程は、炉内での熱処理に比較して高温になる分、熱処理の効果が高い。この場合でも基板は局部的に加熱されていくだけであるので、基板には割れや歪みなどが発生しない。また、本発明では急速加熱処理工程によって不純物を活性化する際には、ゲート絶縁膜の表面に光吸収膜または光反射膜を形成してあるので、アークランプからの光によって半導体膜は効率よく加熱される。しかも、光吸収膜または光反射膜は基板表面の全体に形成されているた

め、パターンニング後の半導体膜に急速加熱処理を行うといっても各半導体膜はパターン密度の影響を受けることなく均一に処理される。

【0113】また急速加熱処理によってゲート絶縁膜は焼き締めされて緻密化し、かつゲート絶縁膜ではシリコン原子と酸素原子との結合は弱くて不安定な状態から強くて安定な状態となる。しかもゲート絶縁膜では禁制帯中の電子やホールに対するトラップ準位が減少するので、TFTの耐電圧などが向上する。

【0114】さらに急速加熱処理の前に結晶化工程を行う場合には半導体膜の膜質も向上する。すなわち、先に行った結晶化工程によって半導体膜中に生じるストレスはこの急速加熱処理工程で解放され、結晶の完全性が高まる。併せて結晶粒と結晶粒との間にわずかに存在する非結晶部分を結晶化させるため、半導体膜の結晶化率が高まる。また、微小結晶は再結晶化して大きな結晶に成長し、結晶粒界を減少させる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態1に係る集積回路の製造方法を示す工程断面図である。

【図2】本発明の実施の形態1に係る集積回路の製造方法において、図1に示す工程に続いて行う各工程を示す工程断面図である。

【図3】本発明の実施の形態2に係る集積回路の製造方法を示す工程断面図である。

【図4】本発明の実施の形態2に係る集積回路の製造方法において、図3に示す工程に続いて行う各工程を示す工程断面図である。

【図5】本発明の実施の形態3に係る集積回路の製造方法を示す工程断面図である。

【図6】本発明の実施の形態3に係る集積回路の製造方法において、図5に示す工程に続いて行う各工程を示す工程断面図である。

【図7】本発明の実施の形態3に係る別の集積回路の製造方法を示す工程断面図である。

【図8】本発明の実施の形態3に係る別の集積回路の製造方法において、図7に示す工程に続いて行う各工程を示す工程断面図である。

【図9】本発明の実施の形態4に係る別の集積回路の製造方法を示す工程断面図である。

【図10】本発明の実施の形態4に係る別の集積回路の製造方法において、図9に示す工程に続いて行う各工程を示す工程断面図である。

【図11】本発明の実施の形態5に係る別の集積回路の製造方法を示す工程断面図である。

【図12】本発明の実施の形態5に係る別の集積回路の製造方法において、図11に示す工程に続いて行う各工程を示す工程断面図である。

【図13】(a)は、液晶表示装置のアクティブマトリクス基板の説明図、(b)は、その容量素子の構造を示す説明図である。

【図14】本発明を適用したアクティブマトリクス基板の製造方法の一例を示す工程断面図である。

【図15】図14に示すアクティブマトリクス基板の製造方法において行う結晶化工程の様子を示す説明図である。

【図16】図14に示すアクティブマトリクス基板の製造方法において行う急速加熱処理工程の様子を示す説明図である。

【図17】本発明を適用したアクティブマトリクス基板の製造方法の一例において、図14に示す工程に続いて行う各工程を示す工程断面図である。

【図18】従来の集積回路の製造方法を示す工程断面図である。

【図19】従来の集積回路の製造方法において、図18に示す工程に続いて行う各工程を示す工程断面図である。

#### 【符号の説明】

10・・・基板

30 12・・・ソース・ドレイン領域

17・・・チャネル領域

13・・・ゲート絶縁膜

15・・・ゲート電極

20、40、200・・・半導体膜

41・・・容量素子の下層側電極

42・・・容量素子の層側電極

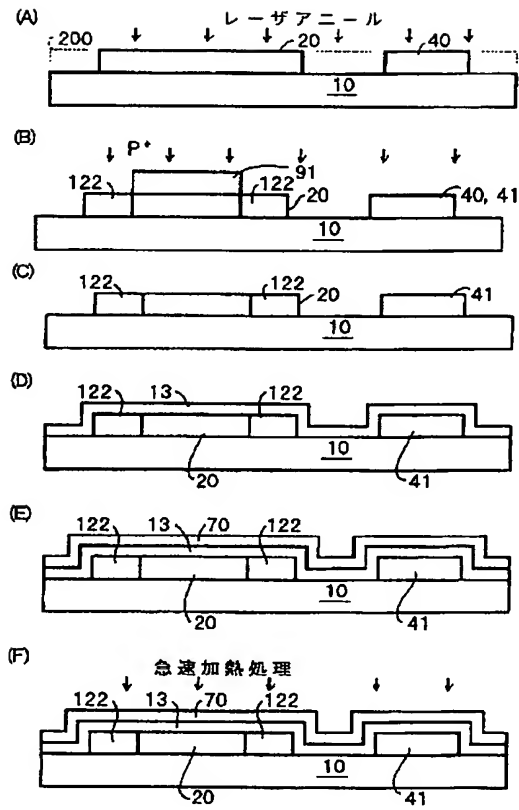
70、71、74、75、76、78・・・光吸収膜

72、73・・・導電膜

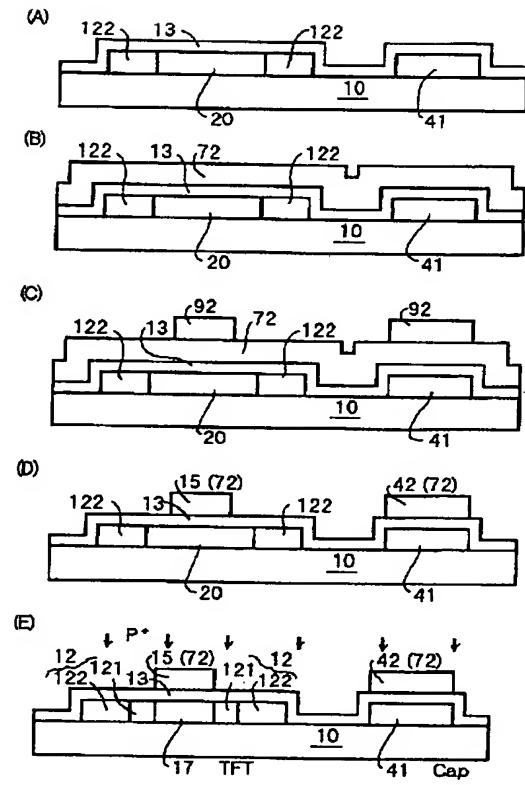
77、79・・・光反射膜

40 Cap・・・容量素子

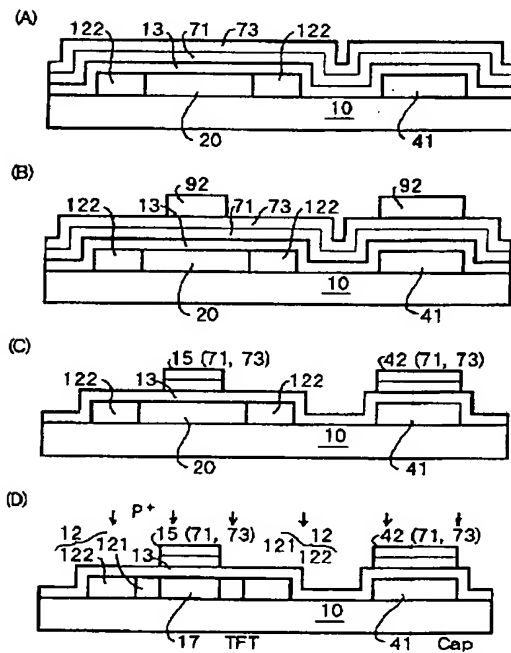
【図 1】



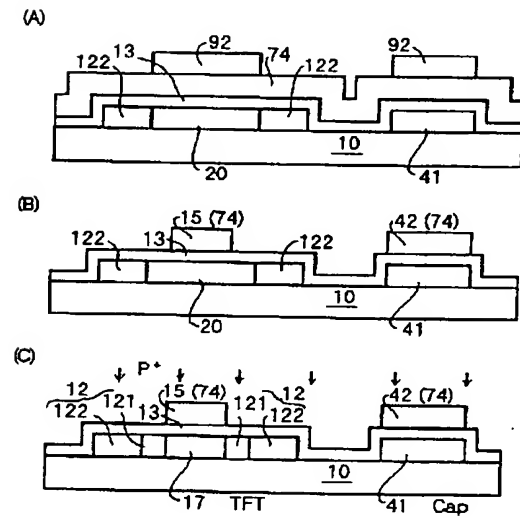
【図 2】



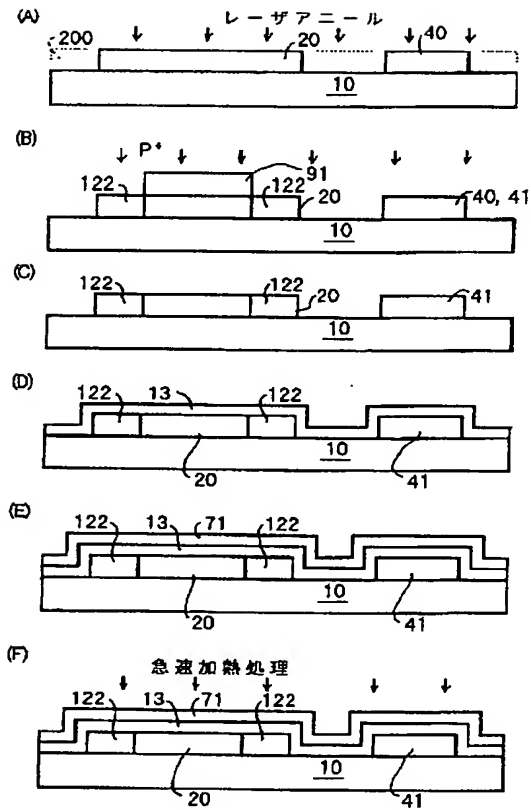
【図 4】



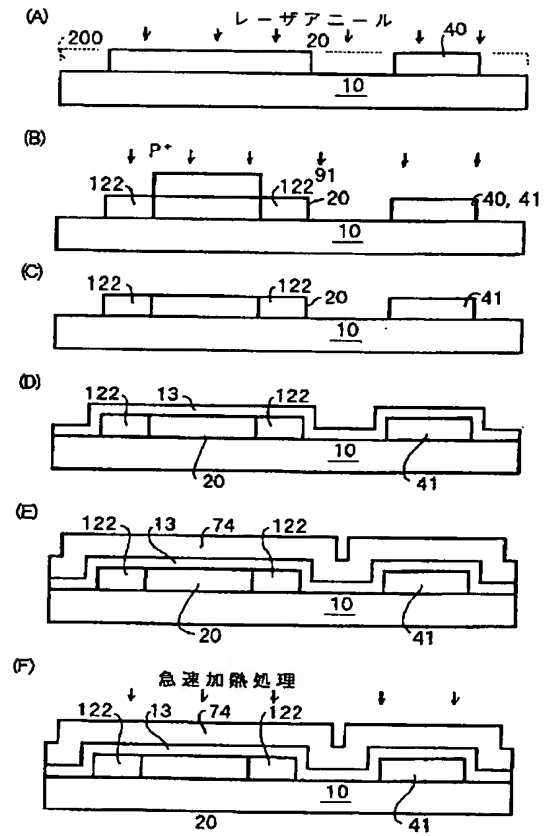
【図 6】



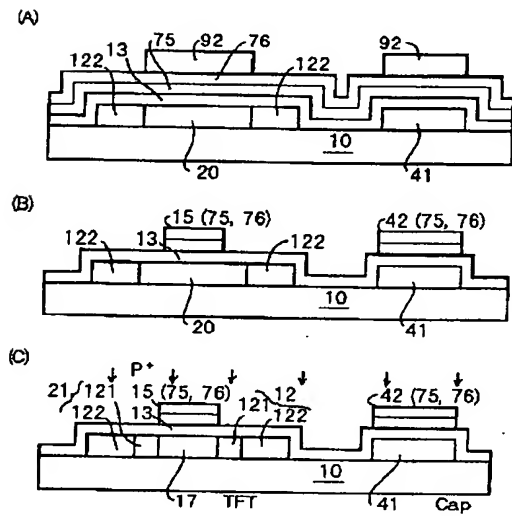
【図 3】



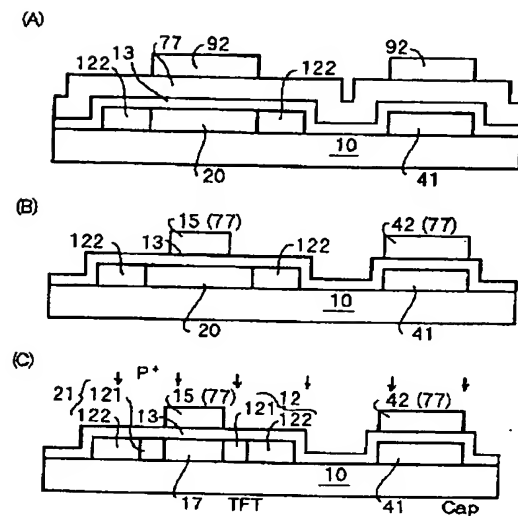
【図 5】



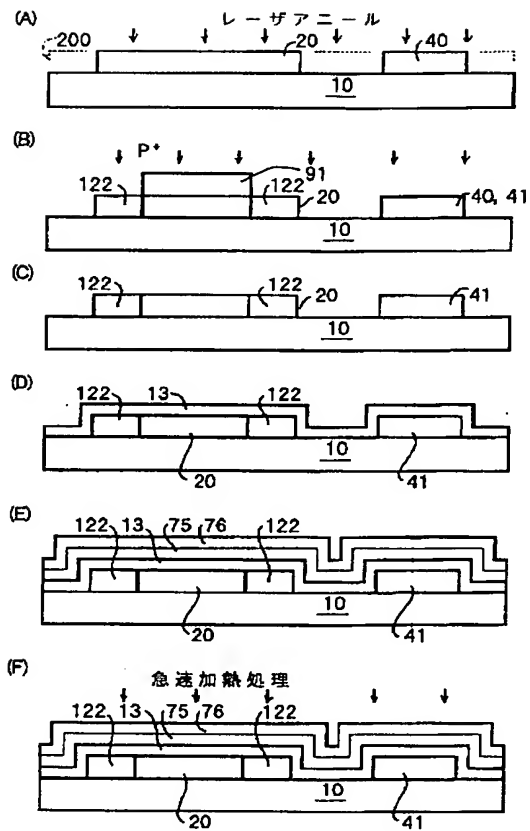
【図 8】



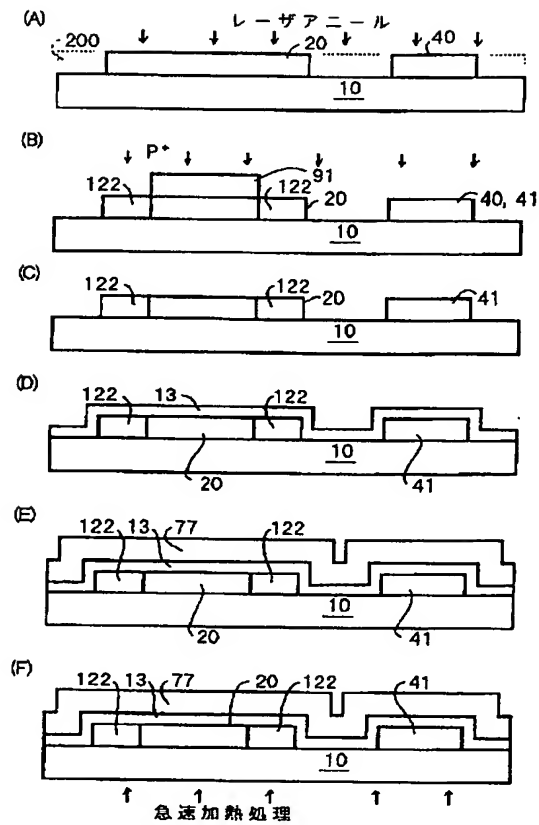
【図 10】



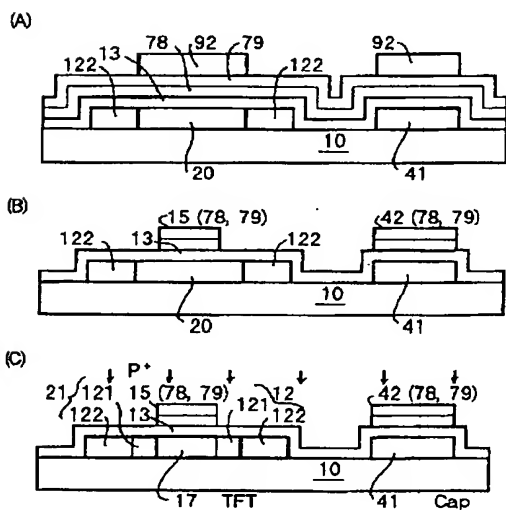
【図 7】



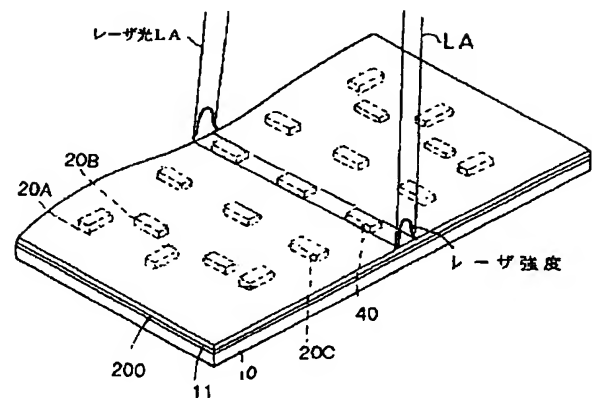
【図 9】



【図 12】

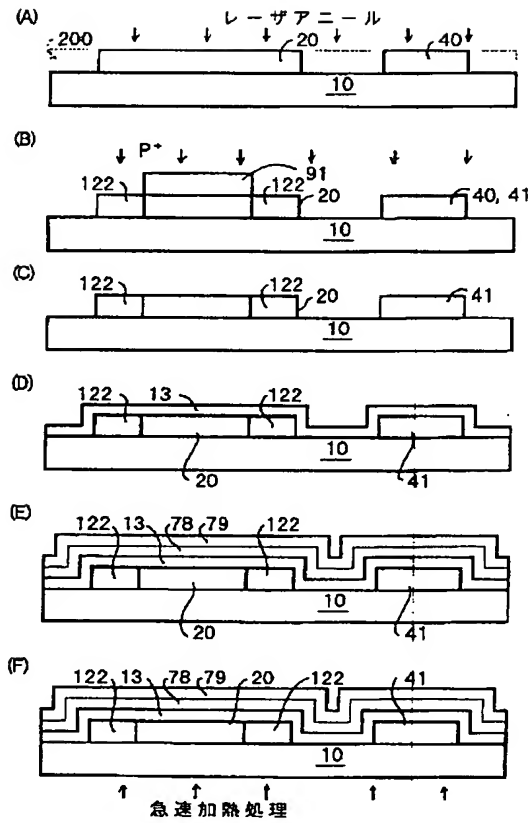


【図 15】

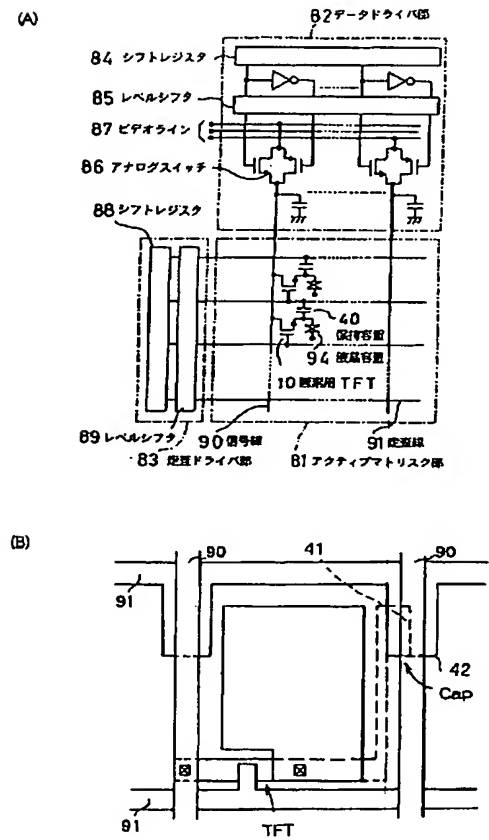




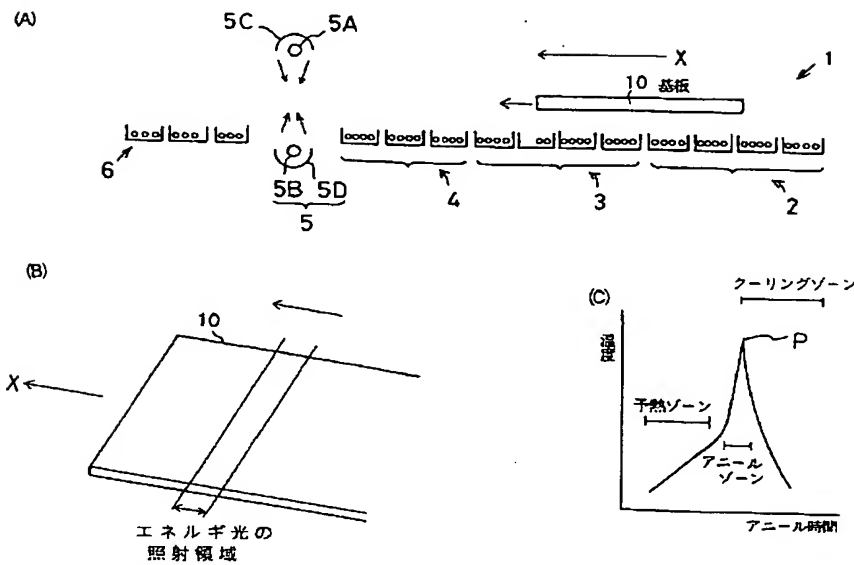
【図 11】



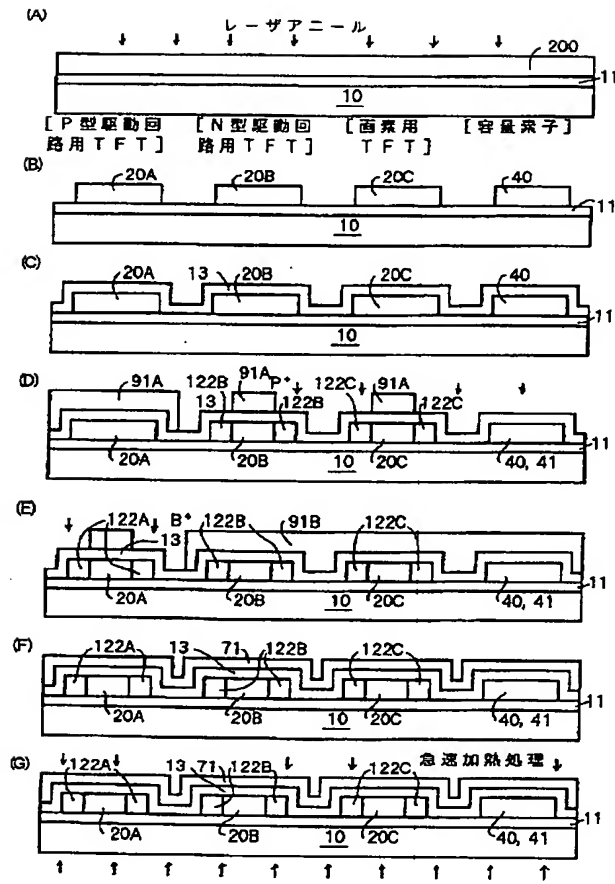
【図 13】



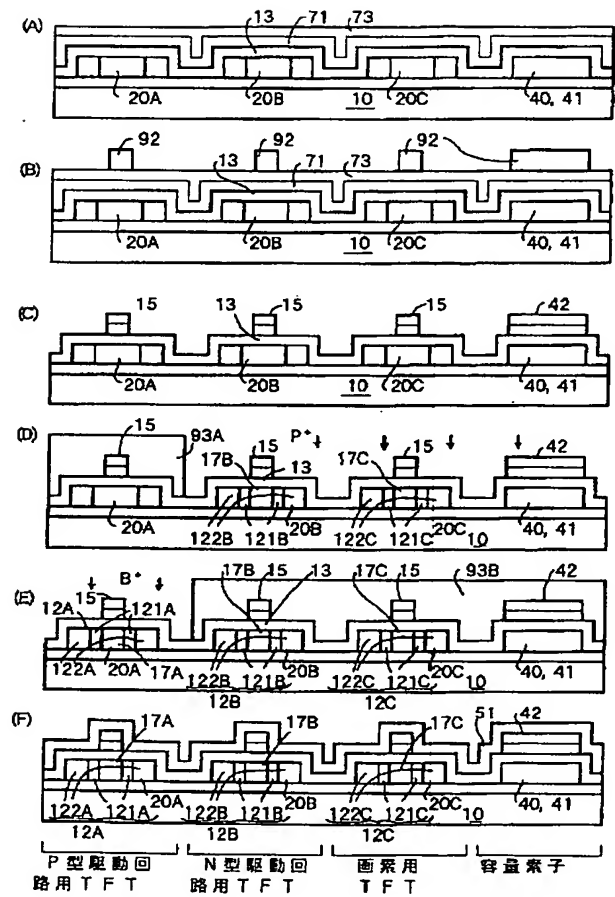
【図 16】



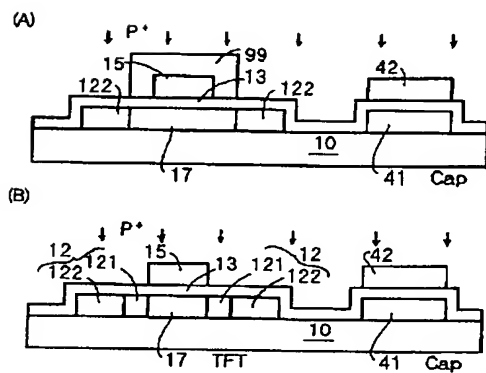
【図 14】



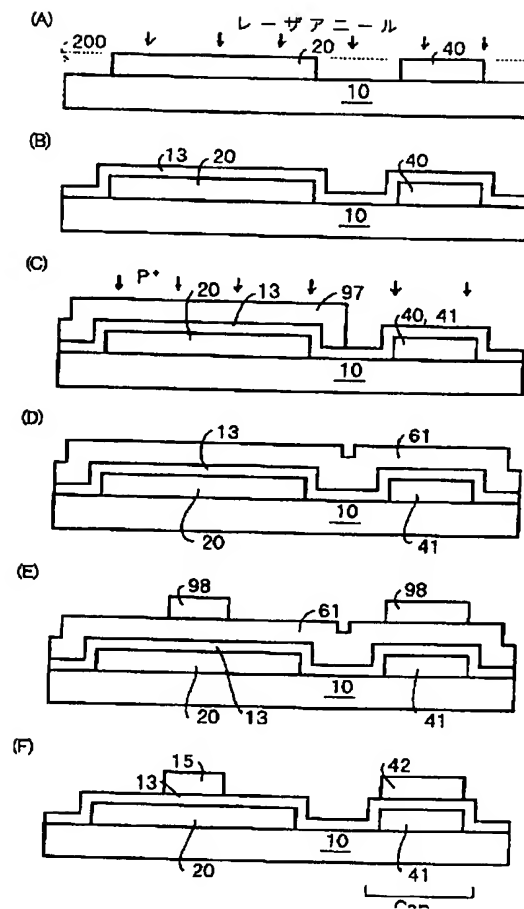
【圖 17】



【図 19】



【図 18】



フロントページの続き

(51) Int. Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

6 1 7 A

6 2 7 F